

• NOTICES •

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

[Claim(s)]

[Claim 1] It is the output circuit which outputs the output signal which is constituted and changes from a CMOS inverter circuit on external power level based on the input signal made binary. An electrical potential difference only with the low threshold of high potential side power-source level to a PMOS transistor. If the gate of each transistor is supplied from low voltage side power-source level by making the electrical potential difference between electrical potential differences only with the high threshold of an NMOS transistor into reference voltage and said input signal is set to the 1st level While raising the source potential of both transistors synchronously and making source potential of a PMOS transistor into high potential side power-source level If the electrical potential difference between the gate sources of an NMOS transistor is made lower than the threshold and said input signal is set to the 2nd level The output circuit characterized by having the potential control circuit which makes the electrical potential difference between the gate sources of a PMOS transistor lower than the threshold while dropping the source potential of both transistors synchronously and making source potential of an NMOS transistor into low voltage side power-source level.

[Claim 2] In an output circuit according to claim 1 said potential control circuit An electrical potential difference only with the low threshold of high potential side power-source level to a PMOS transistor. The reference voltage generating circuit supplied to the gate of each transistor from low voltage side power-source level by making the constant voltage between electrical potential differences only with the high threshold of an NMOS transistor into reference voltage. If said input signal is set to the 1st level, while raising the source potential of both transistors synchronously and making source potential of a PMOS transistor into high potential side power-source level If the electrical potential difference between the gate sources of an NMOS transistor is made lower than the threshold and said input signal is set to the 2nd level While dropping the source potential of both transistors synchronously and

making source potential of an NMOS transistor into low voltage side power-source level The output circuit characterized by constituting the electrical potential difference between the gate sources of a PMOS transistor from a source potential control circuit made lower than the threshold.

[Claim 3] In an output circuit according to claim 2 said source potential control circuit It intervenes between the source of said PMOS transistor, and a high potential side power source. The 1st source follower circuit which consists of an NMOS transistor into which the 1st input signal which changes to the gate between high potential side power-source level and said reference voltage level is inputted, It intervenes between the source of said NMOS transistor, and a low voltage side power source. The output circuit characterized by constituting from the 2nd source follower circuit which consists of a PMOS transistor into which the 2nd input signal which changes to the gate in this direction synchronizing with said 1st input signal, and changes between said reference voltage level and low voltage side power-source level is inputted.

[Claim 4] In an output circuit according to claim 2 said source potential control circuit While the 1st input signal which a high potential side power source and the power source of said reference voltage level are supplied as a power source of operation, and changes to the input terminal between high potential side power-source level and said reference voltage level is inputted The 1st inverter circuit which supplies the output signal based on the input signal to the source of said PMOS transistor. The power source of said reference voltage level and a low voltage side power source are supplied as a power source of operation. While the 2nd input signal which changes to the input terminal in this direction synchronizing with said 1st input signal, and changes between said reference voltage level and low voltage side power-source level is inputted The output circuit characterized by constituting the output signal based on the input signal from the 2nd inverter circuit supplied to the source of said NMOS transistor.

[Claim 5] In an output circuit according to claim 2 said source potential control circuit The timing to which the source potential of said NMOS transistor is changed at the time of starting of said output signal From the timing to which the source potential of said PMOS transistor is changed, a comb and said output signal already bring down and it sometimes sets. The output circuit characterized by making later than the timing to which the source potential of said PMOS transistor is changed timing to which the source potential of said NMOS transistor is changed.

[Claim 6] The level converter circuit characterized by having an output circuit according to claim 3 or 4 and the input signal conversion circuit which changes an input signal into the 2nd input signal which changes in this direction synchronizing with said 1st

input signal and its 1st input signal, and outputs the 1st and 2nd changed input signals to said output circuit.

[Claim 7] In a level converter circuit according to claim 6 said input signal conversion circuit While connecting the 1st current Miller circuit and resistance to a serial between a high potential side power source and the power source of said reference voltage level It constitutes from the 1st switching circuit which changes the 1st current Miller circuit to an active state or a non-active state based on said input signal. The 1st input signal conversion circuit section which outputs said 1st input signal to said output circuit from the node of the 1st current Miller circuit and resistance, While connecting the 2nd current Miller circuit and resistance to a serial between the power source of said reference voltage level, and a low voltage side power source It constitutes from the 2nd switching circuit which changes the 2nd current Miller circuit to an active state or a non-active state based on said input signal. The level converter circuit characterized by consisting of the 2nd input signal conversion circuit section which outputs said 2nd input signal which changes in this direction from the node of the 2nd current Miller circuit and resistance synchronizing with said 1st input signal to said output circuit.

[Claim 8] In a level converter circuit according to claim 6 the <DP N=0003> aforementioned input signal conversion circuit While connecting the 1st and 3rd current Miller circuits to a serial between a high potential side power source and the power source of said reference voltage level The 1st switching circuit which changes the 1st current Miller circuit to an active state or a non-active state based on said input signal, It constitutes from the 3rd switching circuit which carries out complementary actuation of the 3rd current Miller circuit to said 1st current Miller circuit based on said input signal. The 1st input signal conversion circuit section which outputs said 1st input signal to said output circuit from the node of both current Miller circuit, While connecting the 2nd and 4th current Miller circuits to a serial between the power source of said reference voltage level, and a low voltage side power source The 2nd switching circuit which changes the 2nd current Miller circuit to an active state or a non-active state based on said input signal, It constitutes from the 4th switching circuit which carries out complementary actuation of the 4th current Miller circuit to said 2nd current Miller circuit based on said input signal. The level converter circuit characterized by consisting of the 2nd input signal conversion circuit section which outputs said 2nd input signal which changes in this direction from the node of both current Miller circuit synchronizing with said 1st input signal to said output circuit.

[Claim 9] In a level converter circuit according to claim 6 said input signal It is the signal which changes between said reference voltage level and low voltage side power-source level. Said input signal conversion circuit While connecting the 1st and 3rd

current Miller circuits to a serial between a high potential side power source and the power source of said reference voltage level The 1st switching circuit which changes the 1st current Miller circuit to an active state or a non-active state based on said input signal, It constitutes from the 3rd switching circuit which carries out complementary actuation of the 3rd current Miller circuit to said 1st current Miller circuit based on said input signal. The 1st input signal conversion circuit section which outputs said 1st input signal to said output circuit from the node of both current Miller circuit, The level converter circuit characterized by consisting of the 2nd input signal conversion circuit section which outputs said input signal to said output circuit as said 2nd input signal which changes in this direction synchronizing with said 1st input signal.

[Claim 10] In a level converter circuit according to claim 6 said input signal conversion circuit The 1st current Miller circuit which changes said 1st input signal level to high potential side power-source level, The 3rd current Miller circuit which changes said 1st input signal level to said reference voltage level, The 1st latch circuit which maintains the level of said 1st input signal until said input signal changes, The 1st switching circuit which changes the 1st current Miller circuit to an active state or a non-active state, The 1st input signal conversion circuit section constituted from the 3rd switching circuit which carries out complementary actuation of the 3rd current Miller circuit to the 1st current Miller circuit, The 2nd current Miller circuit which changes said 2nd input signal level to said reference voltage level, The 4th current Miller circuit which changes said 2nd input signal level to a low voltage side power source, The 2nd latch circuit which maintains the level of said 2nd input signal until said input signal changes, The 2nd switching circuit which changes the 2nd current Miller circuit to an active state or a non-active state, The 2nd input signal conversion circuit section constituted from the 4th switching circuit which carries out complementary actuation of the 4th current Miller circuit to the 4th current Miller circuit, While said input signal is changed into a single shot pulse signal, and only predetermined time activates the 1st and 2nd current Miller circuits synchronously through the 1st and 2nd switching circuits The level converter circuit characterized by consisting of a single-shot trigger circuit which synchronizes and only predetermined time makes activate the 3rd and 4th current Miller circuits through the 3rd and 4th switching circuits.

[Claim 11] The logical circuit characterized by equipping the output stage with an output circuit according to claim 1 to 5.

[Claim 12] The operational amplifier circuit characterized by equipping the output stage with an output circuit according to claim 1 to 5.

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the output circuit which consists of transistors and the level converter circuit equipped with the output circuit, a logical circuit, and an operational amplifier circuit, and relates to the output circuit in which an output of the output signal of the amplitude exceeding pressure-proofing of the transistor is possible in detail and the level converter circuit equipped with the output circuit, a logical circuit, and an operational amplifier circuit.

[0002] With semiconductor integrated circuit equipment in recent years, detailed-ization is progressing increasingly. Therefore, in the above-mentioned output circuit, pressure-proofing of the transistor which constitutes this circuit is lower than external power level. On the other hand, with semiconductor integrated circuit equipment in recent years, it is becoming in use to form a various functions circuit into 1 chip. Therefore, it is necessary to enlarge the amplitude of an output signal to external power level in the above-mentioned output circuit. So, in such an output circuit, it is required that the output of the output signal which changes on external power level should be enabled, preventing breakage of a transistor.

[0003]

[Description of the Prior Art] Conventionally, in the output circuit which consists of a CMOS inverter circuit, there are some which the high potential side power source Vdd (5 volts) and the low voltage side power source Vss (0 volt) are supplied, and are being driven from the exterior. The input signal which operates with the full amplitude in the range of a power source Vdd and Vss level is inputted into the input terminal of this inverter circuit. And from the output terminal of an inverter circuit, the reversal signal of the input signal is outputted as an output signal.

[0004] Pressure-proofing of the MOS transistor which constitutes this equipment from detailed-ization of semiconductor integrated circuit equipment in recent years on the other hand as described above has been falling from a power source Vdd and Vss level. However, the MOS transistor which constitutes said output circuit needs the pressure-proofing more than the difference electrical potential difference of power sources Vdd and Vss to output the output signal which carries out full amplitude actuation in the range of a power source Vdd and Vss level. Therefore, the MOS transistor of high pressure-proofing is specially prepared for the MOS transistor which constitutes an output circuit, the MOS transistor which constitutes an output circuit specifically repeats a gate oxide generation process twice specially in the manufacture process -- gate dielectric film -- a thick film -- high pressure-proofing is-izing and formed.

[0005]

[Problem(s) to be Solved by the Invention] However, with the gestalt which repeats a

gate oxide generation process twice and thick-film-izes gate dielectric film, since dispersion in the property of an MOS transistor becoming large and a special process is required, the problem that the manufacturing cost of semiconductor integrated circuit equipment rises arises.

[0006] Moreover, if the gate dielectric film of an MOS transistor is thick-film-ized, the threshold of a transistor will become high and on resistance will become large. Therefore, the drive capacity of a transistor will decline. Therefore, in order to make drive capacity of a transistor high, it is necessary to enlarge size of a transistor and this serves as hindrance of high integration of semiconductor integrated circuit equipment.

[0007] Then, the output circuit in which an output of the output signal which changes on a power source Vdd and Vss level is possible has been needed, without raising pressure-proofing of an MOS transistor. It is made in order that this invention may solve the above-mentioned trouble, and the purpose is in offering the output circuit which may output the output signal of the amplitude exceeding pressure-proofing of an MOS transistor and the level converter circuit equipped with the output circuit, a logical circuit, and an operational amplifier circuit in the output circuit which consists of a CMOS inverter circuit.

[0008]

[Means for Solving the Problem] Drawing 1 is the principle explanatory view of claim 1. That is, an output circuit outputs the output signal out which is constituted and changes from the CMOS inverter circuit 1 on an external power V1 and V2 level based on the input signal in made binary. The potential control circuit 2 is high potential side power-source V1 level to the PMOS transistor TP. An electrical potential difference only with a low threshold, Low voltage side power-source V2 level to NMOS transistor TN. They are each transistors TP and TN, using the electrical potential difference between electrical potential differences only with a high threshold as reference voltage V3. If the gate is supplied and said input signal in is set to the 1st level. Both transistors TP and TN Source potential is raised synchronously and it is the PMOS transistor TP. While making source potential into high potential side power-source V1 level NMOS transistor TN. If the electrical potential difference between the gate sources is made lower than the threshold and said input signal in is set to the 2nd level. Both transistors TP and TN Source potential is dropped synchronously and it is the NMOS transistor TN. While making source potential into low voltage side power-source V2 level, it is the PMOS transistor TP. The electrical potential difference between the gate sources is made lower than the threshold.

[0009] Invention according to claim 2 is set to an output circuit according to claim 1. Said potential control circuit. An electrical potential difference only with the low threshold of high potential side power-source level to a PMOS transistor. The reference voltage

generating circuit supplied to the gate of each transistor from low voltage side power-source level by making the constant voltage between electrical potential differences only with the high threshold of an NMOS transistor into reference voltage. If said input signal is set to the 1st level, while raising the source potential of both transistors synchronously and making source potential of a PMOS transistor into high potential side power-source level if the electrical potential difference between the gate sources of an NMOS transistor is made lower than the threshold and said input signal is set to the 2nd level While dropping the source potential of both transistors synchronously and making source potential of an NMOS transistor into low voltage side power-source level, the electrical potential difference between the gate sources of a PMOS transistor consisted of source potential control circuits made lower than the threshold.

[0010] Invention according to claim 3 is set to an output circuit according to claim 2. Said source potential control circuit It intervenes between the source of said PMOS transistor, and a high potential side power source. The 1st source follower circuit which consists of an NMOS transistor into which the 1st input signal which changes to the gate between high potential side power-source level and said reference voltage level is inputted, It intervenes between the source of said NMOS transistor, and a low voltage side power source. It constituted from the 2nd source follower circuit which consists of a PMOS transistor into which the 2nd input signal which changes to the gate in this direction synchronizing with said 1st input signal, and changes between said reference voltage level and low voltage side power-source level is inputted.

[0011] Invention according to claim 4 is set to an output circuit according to claim 2. Said source potential control circuit While the 1st input signal which a high potential side power source and the power source of said reference voltage level are supplied as a power source of operation, and changes to the input terminal between high potential side power-source level and said reference voltage level is inputted The 1st inverter circuit which supplies the output signal based on the input signal to the source of said PMOS transistor, The power source of said reference voltage level and a low voltage side power source are supplied as a power source of operation. While the 2nd input signal which changes to the input terminal in this direction synchronizing with said 1st input signal, and changes between said reference voltage level and low voltage side power-source level is inputted The output signal based on the input signal consisted of the 2nd inverter circuit supplied to the source of said NMOS transistor.

[0012] Invention according to claim 5 is set to an output circuit according to claim 2. Said source potential control circuit The timing to which the source potential of said NMOS transistor is changed at the time of starting of said output signal Timing which a comb and

said output signal already bring [timing] down and sometimes changes the source potential of said NMOS transistor from the timing to which the source potential of said PMOS transistor is changed was made later than the timing to which the source potential of said PMOS transistor is changed.

[0013] Invention according to claim 6 was equipped with the output circuit according to claim 3 or 4 and the input signal conversion circuit which changes an input signal into the 2nd input signal which changes in this direction synchronizing with said 1st input signal and its 1st input signal, and outputs the 1st and 2nd changed input signals to said output circuit.

[0014] Invention according to claim 7 is set in a level converter circuit according to claim 6. Said input signal conversion circuit While connecting the 1st current Miller circuit and resistance to a serial between a high potential side power source and the power source of said reference voltage level It constitutes from the 1st switching circuit which changes the 1st current Miller circuit to an active state or a non-active state based on said input signal. The 1st input signal conversion circuit section which outputs said 1st input signal to said output circuit from the node of the 1st current Miller circuit and resistance, While connecting the 2nd current Miller circuit and resistance to a serial between the power source of said reference voltage level, and a low voltage side power source It constitutes from the 2nd switching circuit which changes the 2nd current Miller circuit to an active state or a non-active state based on said input signal. It consists of the 2nd input signal conversion circuit section which outputs said 2nd input signal which changes in this direction from the node of the 2nd current Miller circuit and resistance synchronizing with said 1st input signal to said output circuit.

[0015] Invention according to claim 8 is set in a level converter circuit according to claim 6. Said input signal conversion circuit While connecting the 1st and 3rd current Miller circuits to a serial between a high potential side power source and the power source of said reference voltage level The 1st switching circuit which changes the 1st current Miller circuit to an active state or a non-active state based on said input signal, It constitutes from the 3rd switching circuit which carries out complementary actuation of the 3rd current Miller circuit to said 1st current Miller circuit based on said input signal. The 1st input signal conversion circuit section which outputs said 1st input signal to said output circuit from the node of both current Miller circuit, While connecting the 2nd and 4th current Miller circuits to a serial between the power source of said reference voltage level, and a low voltage side power source The 2nd switching circuit which changes the 2nd current Miller circuit to an active state or a non-active state based on said input signal, It constitutes from the 4th switching circuit which carries out complementary actuation of the 4th current Miller circuit to said 2nd current Miller circuit based on said input signal. It consists of the 2nd input signal conversion circuit section which outputs said 2nd input signal which changes in this direction from the

node of both current Miller circuit synchronizing with said 1st input signal to said output circuit.

[0016] Invention according to claim 9 is set in a level converter circuit according to claim 6. Said input signal is the signal which changes between said reference voltage level and low voltage side power-source level. Said input signal conversion circuit While connecting the 1st and 3rd current Miller circuits to a serial between a high potential side power source and the power source of said reference voltage level The 1st switching circuit which changes the 1st current Miller circuit to an active state or a non-active state based on said input signal, it constitutes from the 3rd switching circuit which carries out complementary actuation of the 3rd current Miller circuit to said 1st current Miller circuit based on said input signal. The 1st input signal conversion circuit section which outputs said 1st input signal to said output circuit from the node of both current Miller circuit. It consists of the 2nd input signal conversion circuit section which outputs said input signal to said output circuit as said 2nd input signal which changes in this direction synchronizing with said 1st input signal.

[0017] Invention according to claim 10 is set in a level converter circuit according to claim 6. Said input signal conversion circuit The 1st current Miller circuit which changes said 1st input signal level to high potential side power-source level. The 3rd current Miller circuit which changes said 1st input signal level to said reference voltage level. The 1st latch circuit which maintains the level of said 1st input signal until said input signal changes. The 1st switching circuit which changes the 1st current Miller circuit to an active state or a non-active state. The 1st input signal conversion circuit section constituted from the 3rd switching circuit which carries out complementary actuation of the 3rd current Miller circuit to the 1st current Miller circuit. The 2nd current Miller circuit which changes said 2nd input signal level to said reference voltage level. The 4th current Miller circuit which changes said 2nd input signal level to a low voltage side power source. The 2nd latch circuit which maintains the level of said 2nd input signal until said input signal changes. The 2nd switching circuit which changes the 2nd current Miller circuit to an active state or a non-active state. The 2nd input signal conversion circuit section constituted from the 4th switching circuit which carries out complementary actuation of the 4th current Miller circuit to the 4th current Miller circuit. While said input signal is changed into a single shot pulse signal, and only predetermined time activates the 1st and 2nd current Miller circuits synchronously through the 1st and 2nd switching circuits It consists of a single-shot trigger circuit which synchronizes and only predetermined time makes activate the 3rd and 4th current Miller circuits through the 3rd and 4th switching circuits.

[0018] Invention according to claim 11 equipped the output stage with the output circuit according to claim 1 to 5. Invention according to claim 12 equipped the output stage

with the output circuit according to claim 1 to 5.

[0019] (Operation) Therefore, if an input signal is set to the 1st level by the potential control circuit 2 according to invention according to claim 1, they are both the transistors TP and TN. Source potential synchronizes, and it goes up and is the PMOS transistor TP. Source potential is made into high potential side power-source V1 level, and it is the NMOS transistor TN. The electrical potential difference between the gate sources is made lower than the threshold. On the other hand, if an input signal is set to the 2nd level, they are both the transistors TP and TN. Source potential synchronizes and descends and it is the NMOS transistor TN. Source potential is made into low voltage side power-source V2 level, and it is the PMOS transistor TP. The electrical potential difference between the gate sources is made lower than the threshold. That is, an external power V1 and the output signal out which carries out full amplitude actuation in the range of V2 level are outputted, making below into the difference electrical potential difference of external powers V1 and V2 the electrical potential difference impressed between the gate of each transistors TP1 and TN1, and a source drain. Therefore, the output signal out of the amplitude exceeding pressure-proofing of each transistors TP1 and TN1 can be outputted, without raising pressure-proofing of each transistors TP1 and TN1.

[0020] According to invention according to claim 2, if an input signal is set to the 1st level, the source potential of both transistors synchronizes and it goes up, and source potential of a PMOS transistor will be made high potential side power-source level by a reference voltage generating circuit and the source potential control circuit, and the electrical potential difference between the gate sources of an NMOS transistor will be made lower than the threshold. On the other hand, if an input signal is set to the 2nd level, the source potential of both transistors synchronizes and descends, source potential of an NMOS transistor will be made into low voltage side power-source level, and the electrical potential difference between the gate sources of a PMOS transistor will be made lower than the threshold. That is, the output signal which carries out full amplitude actuation in the range of external power is, the output signal making below into the difference electrical potential difference of an external power the electrical potential difference impressed between the gate of each transistor, and a source drain. Therefore, the output signal of the amplitude exceeding pressure-proofing of each transistor can be outputted, without raising pressure-proofing of each transistor.

[0021] According to invention according to claim 3, if the 1st input signal is set to high potential side power-source level and the 2nd input signal is set to a reference voltage level, the source potential of both transistors synchronizes and it goes up, and source potential of a PMOS transistor will be made high potential side power-source level by the 1st

and 2nd source follower circuits, and the electrical potential difference between the gate sources of an NMOS transistor will be made lower than the threshold (electrical-potential-difference zero between the gate sources). On the other hand, if the 1st input signal is set to a reference voltage level and the 2nd input signal is set to low voltage side power-source level, the source potential of both transistors synchronizes and descends, source potential of an NMOS transistor will be made low voltage side power-source level by the 1st and 2nd source follower circuits, and the electrical potential difference between the gate sources of a PMOS transistor will be made lower than the threshold (electrical-potential-difference zero between the gate sources). That is, the output signal which carries out full amplitude actuation in the range of external power level is outputted, making below into the difference electrical potential difference of an external power the electrical potential difference impressed between the gate of each transistor, and a source drain. Therefore, the output signal of the amplitude exceeding pressure-proofing of each transistor can be outputted, without raising pressure-proofing of each transistor.

[0022] According to invention according to claim 4, if the 1st input signal is set to high potential side power-source level and the 2nd input signal is set to a reference voltage level, the source potential of both transistors synchronizes and descends by the 1st and 2nd inverter circuits, source potential of an NMOS transistor will be made into low voltage side power-source level, and the electrical potential difference between the gate sources of a PMOS transistor will be made lower than the threshold (electrical-potential-difference zero between the gate sources). On the other hand, if the 1st input signal is set to a reference voltage level and the 2nd input signal is set to low voltage side power-source level, by the 1st and 2nd inverter circuits, the source potential of both transistors synchronizes and it goes up, and source potential of a PMOS transistor will be made into high potential side power-source level, and the electrical potential difference between the gate sources of an NMOS transistor will be made lower than the threshold (electrical-potential-difference zero between the gate sources). That is, the output signal which carries out full amplitude actuation in the range of external power level is outputted, making below into the difference electrical potential difference of an external power the electrical potential difference impressed between the gate of each transistor, and a source drain. Therefore, the output signal of the amplitude exceeding pressure-proofing of each transistor can be outputted, without raising pressure-proofing of each transistor.

[0023] According to invention according to claim 5, timing from which it is carried out earlier than the timing to which the source potential of a PMOS transistor is changed, an output signal brings down, and the timing to which the source potential of an NMOS transistor is changed at the time of starting of an output signal sometimes changes the

source potential of an NMOS transistor by the source potential control circuit is made later than the timing to which the source potential of a PMOS transistor is changed. Then, the big potential difference which exceeds the pressure-proofing between the sources of both transistors does not arise. Therefore, breakage of both transistors can be prevented beforehand.

[0024] According to invention according to claim 6, an input signal conversion circuit changes an input signal into the 2nd input signal which changes in this direction synchronizing with the 1st input signal and its 1st input signal, and outputs the changed input signal to an output circuit, respectively. Then, in an output circuit, the output signal which carries out full amplitude actuation in the range of external power level is outputted, making below into the difference electrical potential difference of an external power the electrical potential difference impressed between the gate of each transistor, and a source drain based on the 1st and 2nd input signals. Therefore, the output signal of the amplitude exceeding pressure-proofing of each transistor can be outputted, without raising pressure-proofing of each transistor.

[0025] According to invention according to claim 7, the 1st input signal conversion circuit section changes the 1st current Miller circuit to an active state or a non-active state based on an input signal, generates the 1st input signal which changes between high potential side power-source level and a reference voltage level, and outputs the input signal to an output circuit. The 2nd input signal conversion circuit section generates the 2nd input signal which changes the 2nd current Miller circuit to an active state or a non-active state based on an input signal, and changes between a reference voltage level and low voltage side power-source level, and changes in this direction synchronizing with the 1st input signal, and outputs the input signal to an output circuit. Then, in an output circuit, the output signal which carries out full amplitude actuation in the range of external power level is outputted, making below into the difference electrical potential difference of an external power the electrical potential difference impressed between the gate of each transistor, and a source drain based on the 1st and 2nd input signals. Therefore, the output signal of the amplitude exceeding pressure-proofing of each transistor can be outputted, without raising pressure-proofing of each transistor.

[0026] According to invention according to claim 8, the 1st input signal conversion circuit section changes the 1st and 3rd current Miller circuits to an active state or a non-active state based on an input signal, generates the 1st input signal which changes between high potential side power-source level and a reference voltage level, and outputs the input signal to an output circuit. The 2nd input signal conversion circuit section generates the 2nd input signal which changes the 2nd and 4th current Miller circuits to an active state or a non-active

state based on an input signal, and changes between a reference voltage level and low voltage side power-source level, and changes in this direction synchronizing with the 1st input signal, and outputs the input signal to an output circuit. Then, in an output circuit, the output signal which carries out full amplitude actuation in the range of external power level is outputted, making below into the difference electrical potential difference of an external power level is impressed between the gate of each transistor, and a source drain based on the 1st and 2nd input signals. Therefore, the output signal of the amplitude exceeding pressure-proofing of each transistor can be outputted, without raising pressure-proofing of each transistor.

[0027] According to invention according to claim 9, the 1st input signal conversion circuit section changes the 1st and 3rd current Miller circuits to an active state or a non-active state based on an input signal, generates the 1st input signal which changes between high potential side power-source level and a reference voltage level, and outputs the input signal to an output circuit. The 2nd input signal conversion circuit section outputs the input signal which changes between a reference voltage level and low voltage side power-source level to an output circuit as the 2nd input signal which changes in this direction synchronizing with the 1st input signal. Then, in an output circuit, the output signal which carries out full amplitude actuation in the range of external power level is outputted, making below into the difference electrical potential difference of an external power level is impressed between the gate of each transistor, and a source drain based on the 1st and 2nd input signals. Therefore, the output signal of the amplitude exceeding pressure-proofing of each transistor can be outputted, without raising pressure-proofing of each transistor.

[0028] According to invention according to claim 10, a single-shot trigger circuit changes an input signal into a single shot pulse signal, and while only predetermined time activates the 1st and 2nd current Miller circuits synchronously through the 1st and 2nd switching circuits, only predetermined time activates the 3rd and 4th current Miller circuits synchronously through the 3rd and 4th switching circuits. Then, the 1st input signal conversion circuit section generates the 1st input signal with which the 1st and 3rd current Miller circuits are the signals based on an input signal by latch actuation of the 1st latch circuit, and change between high potential side power-source level and a reference voltage level although only predetermined time is activated, and outputs the input signal to an output circuit. The 2nd input signal conversion circuit section generates the 2nd input signal with which the 2nd and 4th current Miller circuits are the signals based on an input signal, and change with latch actuation of the 2nd latch circuit between a reference voltage level and low voltage side power-source level, and change in this direction synchronizing with the 1st input

signal although only predetermined time is activated, and outputs the input signal to an output circuit. Then, in an output circuit, the output signal which carries out full amplitude actuation in the range of external power level is outputted, making below into the difference electrical potential difference of an external power level is impressed between the gate of each transistor, and a source drain based on the 1st and 2nd input signals. Therefore, the output signal of the amplitude exceeding pressure-proofing of each transistor can be outputted, without raising pressure-proofing of each transistor.

[0029] The output signal of the logical circuit of the amplitude exceeding pressure-proofing of each transistor can be outputted without according to invention according to claim 11, raising pressure-proofing of both the transistors of a CMOS inverter circuit, since the output stage of a logical circuit is equipped with the output circuit according to claim 1 to 5.

[0030] The output signal of the operational amplifier circuit of the amplitude exceeding pressure-proofing of each transistor can be outputted without according to invention according to claim 12, raising pressure-proofing of both the transistors of a CMOS inverter circuit, since the output stage of an operational amplifier circuit is equipped with the output circuit according to claim 1 to 5.

[0031]

[Embodiment of the invention] (Gestalt of the 1st operation) The gestalt of the 1st operation which materialized this invention is hereafter explained according to drawing 2 and drawing 3.

[0032] Drawing 2 shows the output circuit 10 in the gestalt of this operation. An output circuit 10 consists of the 1st [as a source potential control circuit], and 2nd source follower circuits 12 and 13 which constitute the CMOS inverter circuit 11 which consists of a PMOS transistor TP 1 and an NMOS transistor TN1, and a potential control circuit.

[0033] The high potential side power source Vdd (5 volts) is supplied to the source N1 of the PMOS transistor TP 1, i.e., a node, from the exterior through the NMOS transistor TN2 which constitutes said 1st source follower circuit 12. Moreover, the low voltage side power source Vss (0 volt) is supplied to the source N2 of the NMOS transistor TN1, i.e., a node, from the exterior through the PMOS transistor TP 2 which constitutes said 2nd source follower circuit 13. In addition, with the gestalt of this operation, pressure-proofing of each transistors TP1 and TN1 is 2.5 volts, respectively. And the intermediate voltage Vb (2.5 volts) as fixed reference voltage is supplied to the input terminal of an inverter circuit 11 on the middle level of power sources Vdd and Vss. This intermediate voltage Vb It is generated in the electrical-potential-difference generating circuit 14 as a reference voltage generating circuit which constitutes the potential control circuit carried on the same chip as an output

circuit 10.

[0034] The 1st input signal in 1 which changes between intermediate voltage Vb level and high potential side power-source Vdd level as shown in drawing 3 is inputted into the gate of said NMOS transistor TN2. And this 1st input signal in 1 is intermediate voltage Vb. If set to level, the source of the NMOS transistor TN2, i.e., the potential of said node N1, is intermediate voltage Vb mostly. It is set to level (Vb-Vth). On the other hand, if the 1st input signal in 1 is set to high potential side power-source Vdd level, the potential of said node N1 will be mostly set to high potential side power-source Vdd (Vdd-Vth) level.

[0035] As shown in the gate of said PMOS transistor TP 2 at drawing 3, they are low voltage side power-source Vss level and intermediate voltage Vb. The 2nd input signal in 2 which changes between level is inputted. And if this 2nd input signal in 2 is set to low voltage side power-source Vss level, the source of the PMOS transistor TP 2, i.e., the potential of said node N2, will be mostly set to low voltage side power-source Vss (Vss+Vth) level. On the other hand, the 2nd input signal in 2 is intermediate voltage Vb. If set to level, the potential of said node N2 is intermediate voltage Vb mostly. It is set to level (Vb+Vth).

[0036] And the output circuit 10 is constituted so that the output signal out which changes from the output terminal of an inverter circuit 11 on a power source Vdd and Vss level may be outputted based on the 1st and 2nd input signals in 1 and in 2.

[0037] Thus, the constituted output circuit 10 operates, as shown in drawing 3 R> 3. That is, the 1st input signal in 1 is intermediate voltage Vb. If it is set to level and the 2nd input signal in 2 is set to low voltage side power-source Vss level, as described above, the potential of a node N1 will be set to intermediate voltage Vb level, and the potential of a node N2 will be set to low voltage side power-source Vss level.

[0038] The potential of a node N1 is intermediate voltage Vb. If set to level, since the electrical potential difference between the gate sources of said PMOS transistor TP 1 will become 0 volt, this transistor TP 1 is turned off. Moreover, if the potential of a node N2 is set to low voltage side power-source Vss level, since the electrical potential difference between the gate sources of said NMOS transistor TN1 will become 2.5 volts, this transistor TN1 is turned on. Therefore, the output signal out of an output circuit 10 is set to low voltage side power-source Vss level.

[0039] Moreover, the 1st input signal in 1 is set to high potential side power-source Vdd level, and the 2nd input signal in 2 is intermediate voltage Vb. If set to level, as described above, the potential of a node N1 is set to high potential side power-source Vdd level, and the potential of a node N2 is intermediate voltage Vb. It is set to level.

[0040] If the potential of a node N1 is set to high potential side power-source Vdd level, since the electrical potential difference between the gate sources of said PMOS

transistor TP 1 will become 2.5 volts, this transistor TP 1 is turned on. Moreover, the potential of a node N2 is intermediate voltage Vb. If set to level, since the electrical potential difference between the gate sources of said NMOS transistor TN1 will become 0 volt, this transistor TN1 is turned off. Therefore, the output signal out of an output circuit 10 is set to high potential side power-source Vdd level.

[0041] That is, in the output circuit 10 of the gestalt of this operation, the 1st input signal in 1 is intermediate voltage Vb. If it is set to level and the 2nd input signal in 2 is set to low voltage side power-source Vss level, the output signal out is set to low voltage side power-source Vss level, the 1st input signal in 1 is set to high potential side power-source Vdd level, and the 2nd input signal in 2 is intermediate voltage Vb. If set to level, the output signal out will be set to high potential side power-source Vdd level.

[0042] And in this output circuit 10, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) can be outputted, without impressing the electrical potential difference which exceeds that proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain. In addition, with the gestalt of this operation, timing as for which the standup of the 2nd input signal in 2 already raises the potential of a comb and a node N2 from the standup of the 1st input signal in 1 at the time of the standup of an output signal out as shown in drawing 3 is carried out earlier than the timing which raises the potential of a node N1. Moreover, in the time of falling of an output signal out, falling of the 2nd input signal in 2 is made later than falling of the 1st input signal in 1, and timing which drops the potential of a node N2 is made later than the timing which drops the potential of a node N1. The big potential difference which exceeds pressure-proofing of each transistors TP1 and TN1 among nodes N [N1 and] 2 can be prevented from being generated by doing in this way. Therefore, breakage of the PMOS transistor TP 1 and the NMOS transistor TN1 is prevented beforehand.

[0043] As described above, the operation effectiveness taken below can be acquired with the gestalt of this operation. (1) In the output circuit 10 of the gestalt of this operation, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) are outputted, without impressing the electrical potential difference which exceeds the proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain. That is, in this output circuit 10, the output signal out of the amplitude exceeding pressure-proofing of each transistors TP1 and TN1 can be outputted, without raising pressure-proofing of each transistors TP1 and TN1.

[0044] (2) With the gestalt of this operation, it was made to carry out timing as for which the standup of the 2nd input signal in 2 already raises the potential of a comb and a node N2 from the standup of the 1st input signal in 1 at the time of the standup of an output

signal out as shown in drawing 3 earlier than the timing which raises the potential of a node N1. Moreover, in the time of falling of an output signal out, falling of the 2nd input signal in 2 is made later than falling of the 1st input signal in 1, and it was made to make later than the timing which drops the potential of a node N1 timing which drops the potential of a node N2. Therefore, the big potential difference which exceeds pressure-proofing of each transistors TP1 and TN1 among nodes N [N1 and] 2 can be prevented from being generated. Therefore, breakage of the PMOS transistor TP 1 and the NMOS transistor TN1 can be prevented beforehand.

[0045] (Gestalt of the 2nd operation) The gestalt of the 2nd operation which materialized this invention is hereafter explained according to drawing 4. In addition, with the gestalt of this operation, the sign same about the same configuration as the gestalt of the 1st operation shown in drawing 2 is attached, and the detailed explanation is omitted.

[0046] Drawing 4 shows output circuit 10a in the gestalt of this operation. Output circuit 10a of the gestalt of this operation is permuted by the 1st and 2nd inverter circuits 15 and 16 as a source potential control circuit where said 1st and 2nd source follower circuits 12 and 13 similarly constitute a potential control circuit. That is, the output signal of the 1st inverter circuit 15 is outputted to a node N1, and the output signal of the 2nd inverter circuit 16 is outputted to a node N2.

[0047] In the 1st inverter circuit 15, they are the high potential side power source Vdd and intermediate voltage Vb as a power source of operation. The power source of level is supplied. In the input terminal of the 1st inverter circuit 15, they are high potential side power-source Vdd level and intermediate voltage Vb. The 1st input signal in 1 which changes between level is inputted. And if this 1st input signal in 1 is set to high potential side power-source Vdd level, the output terminal of the 1st inverter circuit 15, i.e., the potential of said node N1, is intermediate voltage Vb. It is set to level. On the other hand, the 1st input signal in 1 is intermediate voltage Vb. If set to level, the potential of said node N1 will be set to high potential side power-source Vdd level.

[0048] In the 2nd inverter circuit 16, it is intermediate voltage Vb as a power source of operation. The power source of level and the low voltage side power source Vss are supplied. In the input terminal of the 2nd inverter circuit 16, it is intermediate voltage Vb. The 2nd input signal in 2 which changes between level and low voltage side power-source Vss level is inputted. And this 2nd input signal in 2 is intermediate voltage Vb. If set to level, the output terminal of the 2nd inverter circuit 16, i.e., the potential of said node N2, will be set to low voltage side power-source Vss level. On the other hand, if the 2nd input signal in 2 is set to low voltage side power-source Vss level, the potential of said node N2 is intermediate voltage Vb. It is set to level.

[0049] And output circuit 10a is constituted so that the output signal out which carries out full amplitude actuation in the range of a power source Vdd and Vss level from the output terminal of an inverter circuit 11 may be outputted based on the 1st and 2nd input signals in1 and in2.

[0050] Thus, the 1st input signal in 1 is set to high potential side power-source Vdd level in constituted output circuit 10a, and the 2nd input signal in 2 is intermediate voltage Vb. If set to level, as described above, the potential of a node N1 is intermediate voltage Vb. It is set to level and the potential of a node N2 is set to low voltage side power-source Vss level.

[0051] The potential of a node N1 is intermediate voltage Vb. If set to level, since the electrical potential difference between the gate sources of said PMOS transistor TP 1 will become 0 volt, this transistor TP 1 is turned off. Moreover, if the potential of a node N2 is set to low voltage side power-source Vss level, since the electrical potential difference between the gate sources of said NMOS transistor TN1 will become 2.5 volts, this transistor TN1 is turned on. Therefore, the output signal out of output circuit 10a is set to low voltage side power-source Vss level.

[0052] Moreover, the 1st input signal in 1 is intermediate voltage Vb. If it is set to level and the 2nd input signal in 2 is set to low voltage side power-source Vss level, as described above, the potential of a node N1 is set to high potential side power-source Vdd level, and the potential of a node N2 is intermediate voltage Vb. It is set to level.

[0053] If the potential of a node N1 is set to high potential side power-source Vdd level, since the electrical potential difference between the gate sources of said PMOS transistor TP 1 will become 2.5 volts, this transistor TP 1 is turned on. Moreover, the potential of a node N2 is intermediate voltage Vb. If set to level, since the electrical potential difference between the gate sources of said NMOS transistor TN1 will become 0 volt, this transistor TN1 is turned off. Therefore, the output signal out of output circuit 10a is set to high potential side power-source Vdd level.

[0054] That is, the 1st input signal in 1 is set to high potential side power-source Vdd level in output circuit 10a of the gestalt of this operation, and the 2nd input signal in 2 is intermediate voltage Vb. If set to level, the output signal out is set to low voltage side power-source Vss level, and the 1st input signal in 1 is intermediate voltage Vb. If it is set to level and the 2nd input signal in 2 is set to low voltage side power-source Vss level, the output signal out will be set to high potential side power-source Vdd level.

[0055] And in this output circuit 10a, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) can be outputted, without impressing the electrical potential difference which exceeds that proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain.

[0056] In addition, in order to make it the big potential difference which exceeds pressure-proofing of each transistors TP1 and TN1 among nodes N [N1 and] 2 like the gestalt of said 1st operation not arise in the gestalt of this operation The timing which raises the potential of a node N2 at the time of the standup of an output signal out is already set from the timing which raises the potential of a node N1 at the time of falling of a comb and an output signal out. Timing which drops the potential of a node N2 is made later than the timing which drops the potential of a node N1.

[0057] That is, with the gestalt of this operation, the standup of the 2nd input signal in 2 is already made later [than falling of the 1st input signal in 1] than the standup of the 1st input signal in 1 for falling of the 2nd input signal in 2 at the time of falling of a comb and an output signal out at the time of the standup of an output signal out. By doing in this way, since the big potential difference which exceeds pressure-proofing of each transistors TP1 and TN1 among nodes N [N1 and] 2 does not arise, breakage of the PMOS transistor TP 1 and the NMOS transistor TN1 can be prevented beforehand.

[0058] As described above, the operation effectiveness taken below can be acquired with the gestalt of this operation.

(1) In output circuit 10a of the gestalt of this operation, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) are outputted, without impressing the electrical potential difference which exceeds the proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain like the gestalt of the 1st operation. That is, in this output circuit 10a, the output signal out of the amplitude exceeding pressure-proofing of each transistors TP1 and TN1 can be outputted, without raising pressure-proofing of each transistors TP1 and TN1.

[0059] (2) With the gestalt of this operation, since it replaces with said 1st and 2nd source follower circuits 12 and 13 and the 1st and 2nd inverter circuits 15 and 16 are used, each transistors TP1 and TN1 carry out a threshold Vth fall, or the potential of nodes N1 and N2 does not rise. Therefore, full amplitude actuation of the output signal out can be certainly carried out in the range of a power source Vdd and Vss level.

[0060] (Gestalt of the 3rd operation) The gestalt of the 3rd operation which materialized this invention is hereafter explained according to drawing 5. In addition, it prepares for the output stage of the level converter circuit 20 in the gestalt of this operation of output circuit 10a of the gestalt of the 2nd operation shown in drawing 4 with the gestalt of this operation. Therefore, the sign same about the same configuration as the gestalt of the 2nd operation is attached, and the detailed explanation is omitted.

[0061] Drawing 5 shows the level converter circuit 20 of the gestalt of this operation. The level converter circuit 20 consists of an input circuit 21 and said output circuit 10a. An

input circuit 21 consists of the PMOS transistors TP3-TP6, NMOS transistors TN3-TN5, and resistance R1 and R2.

[0062] The drain of the NMOS transistor TN3 is connected to the high potential side power source Vdd through the NMOS transistor TN4 and the PMOS transistor TP 3, and the low voltage side power source Vss is supplied to the source. In the gate of the NMOS transistor TN3, it is intermediate voltage Vb. The input signal in 0 which changes between level and low voltage side power-source Vss level is inputted. Moreover, in the gate of the PMOS transistor TN4, it is intermediate voltage Vb. It is supplied.

[0063] That the PMOS transistor TP 3 and TP4 should constitute current Miller circuit 22, while the mutual gate is connected, the gate is connected to the drain of the PMOS transistor TP 3. The high potential side power source Vdd is supplied to the source of PMOS transistor TP4, resistance R1 is minded [the], and it is intermediate voltage Vb. It is supplied. And the node N3 between the drain of PMOS transistor TP4 and resistance R1 is connected to the input terminal of the 1st inverter circuit 15 which constitutes said output circuit 10a. That is, the potential of a node N3 is inputted into the 1st inverter circuit 15 as said 1st input signal in 1.

[0064] On the other hand, the PMOS transistor TP 5 is minded [of the NMOS transistor TN5], and it is intermediate voltage Vb. It is supplied and the low voltage side power source Vss is supplied to the source. Said input signal in 0 is inputted into the gate of the NMOS transistor TN5.

[0065] That the PMOS transistors TP5 and TP6 should constitute current Miller circuit 23, while the mutual gate is connected, the gate is connected to the drain of the PMOS transistor TP 5. In the source of the PMOS transistor TP 6, it is intermediate voltage Vb. It is supplied and the low voltage side power source Vss is supplied to the drain through resistance R2. And the node N4 between the drain of the PMOS transistor TP 6 and resistance R2 is connected to the input terminal of the 2nd inverter circuit 16 which constitutes said output circuit 10a. That is, the potential of a node N4 is inputted into the 2nd inverter circuit 16 as said 2nd input signal in 2.

[0066] In addition, with the gestalt of this operation, it is set up so that the resistance of resistance R2 may become smaller than the resistance of resistance R1, and it is set up so that the drain current of the PMOS transistor TP 6 may become smaller than the drain current of PMOS transistor TP4.

[0067] Thus, in the constituted level converter circuit 20, an input signal in 0 is intermediate voltage Vb. When set to level, the NMOS transistors TN3 and TN5 are turned on. Then, the source potential of the NMOS transistor TN4 descends, and this transistor TN4 is turned on. If this NMOS transistor TN4 is turned on, current Miller circuit 22 will operate

and the high potential side power source Vdd will be supplied to a node N3 through PMOS transistor TP4. And the potential in 1 of a node N3, i.e., the 1st input signal, is set to high potential side power-source Vdd level.

[0068] Moreover, current Miller circuit 23 operates based on ON of the NMOS transistor TN5, the PMOS transistor TP 6 is minded [N4], and it is intermediate voltage Vb. It is supplied. And the potential in 2 of a node N4, i.e., the 2nd input signal, is intermediate voltage Vb. It is set to level.

[0069] In this way, the 1st input signal in 1 is set to high potential side power-source Vdd level, and the 2nd input signal in 2 is intermediate voltage Vb. If set to level, said output circuit 10a will operate like the gestalt of the 2nd operation, and the output signal out will be set to low voltage side power-source Vss level.

[0070] On the other hand, when an input signal in 0 is set to low voltage side power-source Vss level, the NMOS transistors TN3 and TN5 are turned off. Then, the NMOS transistor TN4 will be turned off, current Miller circuit 22 will be in non-operating state, and the charge of a node N3 is emitted through resistance R1. And the potential in 1 of a node N3, i.e., the 1st input signal, is intermediate voltage Vb. It is set to level.

[0071] Moreover, the NMOS transistor TN5 will be based off, current Miller circuit 23 will be in non-operating state, and the charge of a node N4 is emitted through resistance R2. And the potential in 2 of a node N4, i.e., the 2nd input signal, is set to low voltage side power-source Vss level.

[0072] In this way, the 1st input signal in 1 is intermediate voltage Vb. If it is set to level and the 2nd input signal in 2 is set to low voltage side power-source Vss level, said output circuit 10a will operate like the gestalt of the 2nd operation, and the output signal out will be set to high potential side power-source Vdd level.

[0073] That is, in the level converter circuit 20 of the gestalt of this operation, an input signal in 0 is intermediate voltage Vb. If the output signal out will be set to low voltage side power-source Vss level if set to level, and an input signal in 0 is set to low voltage side power-source Vss level, the output signal out will be set to high potential side power-source Vdd level.

[0074] And in this output circuit 10a, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) can be outputted, without impressing the electrical potential difference which exceeds that proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain like the gestalt of said 2nd operation.

[0075] Moreover, since it is set up so that the resistance of resistance R2 may become smaller than the resistance of resistance R1 as described above, falling of the 2nd

input signal in 2 becomes earlier than falling of the 1st input signal in 1 at the time of the standup of an output signal out. That is, the timing to which the potential of a node N2 rises becomes earlier than the timing to which the potential of a node N1 rises. Moreover, since it is set up so that the drain current of the PMOS transistor TP 6 may become smaller than the drain current of PMOS transistor TP4, the standup of the 2nd input signal in 2 becomes later than the standup of the 1st input signal in 1 at the time of falling of an output signal out. That is, the timing to which the potential of a node N2 descends becomes later than the timing to which the potential of a node N1 descends. Therefore, since the big potential difference which exceeds pressure-proofing of each transistors TP1 and TN1 among nodes N [N1 and] 2 does not arise, breakage of the PMOS transistor TP 1 and the NMOS transistor TN1 can be prevented beforehand.

[0076] As described above, the operation effectiveness taken below can be acquired with the gestalt of this operation.

(1) In output circuit 10a of the gestalt of this operation, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) are outputted, without impressing the electrical potential difference which exceeds the proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain like the gestalt of the 2nd operation. That is, in this output circuit 10a, the output signal out of the amplitude exceeding pressure-proofing of each transistors TP1 and TN1 can be outputted, without raising pressure-proofing of each transistors TP1 and TN1.

[0077] (2) Moreover, it is intermediate voltage Vb. Said output signal out is outputted with one input signal in 0 which changes between level and low voltage side power-source Vss level. Therefore, since the number of signals to input can be reduced as compared with the gestalt of the 2nd operation, the signal line can be lessened.

[0078] (Gestalt of the 4th operation) The gestalt of the 4th operation which materialized this invention is hereafter explained according to drawing 6. In addition, it prepares for the output stage of level converter circuit 20a in the gestalt of this operation of output circuit 10a of the gestalt of the 2nd operation shown in drawing 4 with the gestalt of this operation. Therefore, the sign same about the same configuration as the gestalt of the 2nd operation is attached, and the detailed explanation is omitted.

[0079] Drawing 6 shows level converter circuit 20a of the gestalt of this operation. Level converter circuit 20a consists of input circuit 21a and said output circuit 10a. input circuit 21a -- PMOS transistors TP7-TP16 And NMOS transistors TN6-TN17 from -- it becomes.

[0080] The PMOS transistor TP 7 and the NMOS transistor TN6 constitute the CMOS inverter circuit 24. In an inverter circuit 24, it is intermediate voltage Vb as a power

source of operation. The power source of level and the low voltage side power source Vss are supplied. In the input terminal of an inverter circuit 24, it is intermediate voltage Vb. The input signal in 0 which changes between level and low voltage side power-source Vss level is inputted. The output terminal of an inverter circuit 24 is connected to the input terminal of the CMOS inverter circuit 25 of the next step.

[0081] Said inverter circuit 25 consists of a PMOS transistor TP 8 and an NMOS transistor TN7. In an inverter circuit 25, it is intermediate voltage Vb as a power source of operation. The power source of level and the low voltage side power source Vss are supplied. The output terminal of an inverter circuit 25 is connected to the gate of the NMOS transistor TN8.

[0082] The drain of the NMOS transistor TN8 is connected to the high potential side power source Vdd through the NMOS transistor TN9 and the PMOS transistor TP 9, and the low voltage side power source Vss is supplied to the source. In the gate of the NMOS transistor TN9, it is intermediate voltage Vb. It is supplied.

[0083] PMOS transistors TP9 and TP10 That current Miller circuit 26 should be constituted, while the mutual gate is connected, the gate is connected to the drain of the PMOS transistor TP 9. PMOS transistor TP 10 The high potential side power source Vdd is supplied to the source, and it is the NMOS transistor TN10 in the drain. It minds and is intermediate voltage Vb. It is supplied.

[0084] The NMOS transistor TN10 and TN11 That current Miller circuit 27 should be constituted, while the mutual gate is connected, the gate is the NMOS transistor TN10. It connects with a drain. NMOS transistor TN11 In the source, it is intermediate voltage Vb. It is supplied and is the PMOS transistor TP 11 in the drain. It minds and the high potential side power source Vdd is supplied.

[0085] PMOS transistors [TP / TP and / 12] 11 While the mutual gate is connected that current Miller circuit 28 should be constituted, the gate is the PMOS transistor TP 12. It connects with a drain. PMOS transistor TP 12 The high potential side power source Vdd is supplied to the source, and the drain is the NMOS transistor TN12 and TN13. It minds and connects with the low voltage side power source Vss. NMOS transistor TN12 In the gate, it is intermediate voltage Vb. It is supplied. Moreover, NMOS transistor TN13 The output terminal of said inverter circuit 24 is connected to the gate.

[0086] And said PMOS transistor TP 11 And NMOS transistor TN11 A drain N5, i.e., a node, is connected to the input terminal of the 1st inverter circuit 15 which constitutes said output circuit 10a. That is, the potential of a node N5 is inputted into the 1st inverter circuit 15 as said 1st input signal in 1.

[0087] On the other hand, the output terminal of said inverter circuit 25 is the NMOS

transistor TN14. It connects with the gate. NMOS transistor TN14 The low voltage side power source Vss is supplied to the source, and it is the PMOS transistor TP 13 in the drain. It minds and is intermediate voltage Vb. It is supplied.

[0088] PMOS transistors [TP / TP and / 14] 13 While the mutual gate is connected that current Miller circuit 29 should be constituted, the gate is the PMOS transistor TP 13. It connects with a drain. PMOS transistor TP 14 In the source, it is intermediate voltage Vb. It is supplied and is the NMOS transistor TN15 in the drain. It minds and the low voltage side power source Vss is supplied.

[0089] The NMOS transistor TN15 and TN16 That current Miller circuit 30 should be constituted, while the mutual gate is connected, the gate is the NMOS transistor TN15. It connects with a drain. NMOS transistor TN16 The low voltage side power source Vss is supplied to the source, and it is the PMOS transistor TP 15 in the drain. It minds and is intermediate voltage Vb. It is supplied.

[0090] PMOS transistors [TP / TP and / 16] 15 While the mutual gate is connected that current Miller circuit 31 should be constituted, the gate is the PMOS transistor TP 16. It connects with a drain. PMOS transistor TP 16 In the source, it is intermediate voltage Vb. It is supplied and is the NMOS transistor TN17 in the drain. It minds and the low voltage side power source Vss is supplied. NMOS transistor TN17 The output terminal of said inverter circuit 24 is connected to the gate.

[0091] And said PMOS transistor TP 15 And NMOS transistor TN16 A drain N6, i.e., a node, is connected to the input terminal of the 2nd inverter circuit 16 which constitutes said output circuit 10a. That is, the potential of a node N6 is inputted into the 2nd inverter circuit 16 as said 2nd input signal in 2.

[0092] In addition, at the gestalt of this operation, it is the NMOS transistor TN16. A drain current is the NMOS transistor TN11. It is set up so that it may become larger than a drain current, and it is the PMOS transistor TP 15. A drain current is the PMOS transistor TP 11. It is set up so that it may become smaller than a drain current.

[0093] Thus, if an input signal in 0 is set to low voltage side power-source Vss level in constituted level converter circuit 20a, the output signal of the 1st step of inverter circuit 24 is intermediate voltage Vb. It is set to level and the output signal of two steps of inverter circuits 25 is set to low voltage side power-source Vss level.

[0094] The output signal of the 1st step of inverter circuit 24 is intermediate voltage Vb. When set to level, it is the NMOS transistor TN13. It is turned on. Then, NMOS transistor TN12 Source potential descends and it is this transistor TN12. It is turned on. This NMOS transistor TN12 ON operates current Miller circuit 28.

[0095] When the output signal of the 2nd step of inverter circuit 25 is set to low

voltage side power-source Vss level, the NMOS transistor TN8 is turned off. Then, the NMOS transistor TN9 will be turned off and current Miller circuit 26 will be in non-operating state. Therefore, current Miller circuit 27 will be in non-operating state similarly.

[0096] Therefore, in a node N5, it is the PMOS transistor TP 11. It minds, the high potential side power source Vdd is supplied, and the potential of the node N5 rises to near the high potential side power-source Vdd level. That is, the 1st input signal in 1 is set to high potential side power-source Vdd level.

[0097] Moreover, the output signal of the 1st step of inverter circuit 24 is intermediate voltage Vb. When set to level, it is the NMOS transistor TN17. It is turned on. This NMOS transistor TN17 ON operates current Miller circuit 31.

[0098] When the output signal of the 2nd step of inverter circuit 25 is set to low voltage side power-source Vss level, it is the NMOS transistor TN14. It is turned off. This NMOS transistor TN14 If turned off, current Miller circuit 29 will be in non-operating state. Therefore, current Miller circuit 30 will be in non-operating state similarly.

[0099] Therefore, in a node N6, it is the PMOS transistor TP 15. It minds and is intermediate voltage Vb. It is supplied and the potential of the node N6 is intermediate voltage Vb. It goes up to near the level. That is, the 2nd input signal in 2 is intermediate voltage Vb. It is set to level.

[0100] In this way, the 1st input signal in 1 is set to high potential side power-source Vdd level, and the 2nd input signal in 2 is intermediate voltage Vb. If set to level, said output circuit 10a will operate like the gestalt of the 2nd operation, and the output signal out will be set to low voltage side power-source Vss level.

[0101] On the other hand, an input signal in 0 is intermediate voltage Vb. If set to level, the output signal of the 1st step of inverter circuit 24 is set to low voltage side power-source Vss level, and the output signal of two steps of inverter circuits 25 is intermediate voltage Vb. It is set to level.

[0102] When the output signal of the 1st step of inverter circuit 24 is set to low voltage side power-source Vss level, it is the NMOS transistor TN13. It is turned off. Then, NMOS transistor TN12 It will be turned off and current Miller circuit 28 will be in non-operating state.

[0103] The output signal of the 2nd step of inverter circuit 25 is intermediate voltage Vb. When set to level, the NMOS transistor TN8 is turned on. Then, the source potential of the NMOS transistor TN9 descends, and this transistor TN9 is turned on. If this NMOS transistor TN9 is turned on, current Miller circuit 26 will operate, actuation of this circuit 26 is interlocked with and current Miller circuit 27 operates.

[0104] Therefore, the charge of a node N5 is the NMOS transistor TN11. It is minded

and emitted and the potential of the node N5 is intermediate voltage Vb. It descends to near the level. That is, the 1st input signal in 1 is intermediate voltage Vb. It is set to level.

[0105] Moreover, when the output signal of the 1st step of inverter circuit 24 is set to low voltage side power-source Vss level, it is the NMOS transistor TN17. It is turned off. This NMOS transistor TN17 If turned off, current Miller circuit 31 will be in non-operating state.

[0106] The output signal of the 2nd step of inverter circuit 25 is intermediate voltage Vb. When set to level, it is the NMOS transistor TN14. It is turned on. This NMOS transistor TN14 If turned on, current Miller circuit 29 will operate, actuation of this circuit 29 is interlocked with and current Miller circuit 30 operates.

[0107] Therefore, the charge of a node N6 is the NMOS transistor TN16. It minds, and it is emitted and the potential of the node N6 descends to near the low voltage side power-source Vss level. That is, the 2nd input signal in 2 is set to low voltage side power-source Vss level.

[0108] In this way, the 1st input signal in 1 is intermediate voltage Vb. If it is set to level and the 2nd input signal in 2 is set to low voltage side power-source Vss level, said output circuit 10a will operate like the gestalt of the 2nd operation, and the output signal out will be set to high potential side power-source Vdd level.

[0109] That is, if an input signal in 0 is set to low voltage side power-source Vss level in level converter circuit 20a of the gestalt of this operation, the output signal out is set to low voltage side power-source Vss level, and an input signal in 0 is intermediate voltage Vb. If set to level, the output signal out will be set to high potential side power-source Vdd level.

[0110] And in this output circuit 10a, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) can be outputted, without impressing the electrical potential difference which exceeds that proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain like the gestalt of said 2nd operation.

[0111] Moreover, as described above, it is the NMOS transistor TN16. A drain current is the NMOS transistor TN11. Since it is set up so that it may become larger than a drain current, falling of the 2nd input signal in 2 becomes earlier than falling of the 1st input signal in 1 at the time of the standup of an output signal out. That is, the timing to which the potential of a node N2 rises becomes earlier than the timing to which the potential of a node N1 rises. Moreover, PMOS transistor TP 15 A drain current is the PMOS transistor TP 11. Since it is set up so that it may become smaller than a drain current, the standup of the 2nd input signal in 2 becomes later than the standup of the 1st input signal in 1 at the time of falling of an output signal out. That is, the timing to which the potential of a node N2

descends becomes later than the timing to which the potential of a node N1 descends. Therefore, since the big potential difference which exceeds pressure-proofing of each transistors TP1 and TN1 among nodes N [N1 and] 2 does not arise, breakage of the PMOS transistor TP 1 and the NMOS transistor TN1 can be prevented beforehand.

[0112] As described above, the operation effectiveness taken below can be acquired with the gestalt of this operation.

(1) In output circuit 10a of the gestalt of this operation, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) are outputted, without impressing the electrical potential difference which exceeds the proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain like the gestalt of the 2nd operation. That is, in this output circuit 10a, the output signal out of the amplitude exceeding pressure-proofing of each transistors TP1 and TN1 can be outputted, without raising pressure-proofing of each transistors TP1 and TN1.

[0113] (2) Moreover, it is intermediate voltage Vb. Said output signal out is outputted with the input signal in 0 which changes between level and low voltage side power-source Vss level. Therefore, since the number of signals to input can be reduced as compared with the gestalt of said 2nd operation, the signal line can be lessened.

[0114] (3) Moreover, compare with the gestalt of said 3rd operation and they are each transistor TN11 and TN16 about discharge of the charge of nodes N5 and N6. Since it carries out by minding, the lime amount concerning the discharge can be shortened. Therefore, with the gestalt of this operation, high-speed operation can be carried out as compared with the gestalt of said 3rd operation.

[0115] (Gestalt of the 5th operation) The gestalt of the 5th operation which materialized this invention is hereafter explained according to drawing 7. In addition, with the gestalt of this operation, the sign same about the same configuration as the gestalt of the 4th operation shown in drawing 6 is attached, and the detailed explanation is omitted.

[0116] Drawing 7 shows level converter circuit 20b of the gestalt of this operation. Level converter circuit 20b of the gestalt of this operation is level converter circuit 20a of the gestalt of said 4th operation to the PMOS transistor TP 13 - TP16. And NMOS transistor TN14 -TN17 It omits. And in said level converter circuit 20a, since change of the output terminal of the 1st step of inverter circuit 24 and the input terminal of the 2nd inverter circuit 16, i.e., the potential of a node N6, is the same, the output terminal of an inverter circuit 16 is connected to the node N6 with the gestalt of this operation. That is, the output signal of an inverter circuit 24 is made into said 2nd input signal in 2 with the gestalt of this operation.

[0117] Even if such, in level converter circuit 20b of the gestalt of this operation, it operates like the gestalt of said 4th operation. That is, if an input signal in 0 is set to low

voltage side power-source Vss level, the output signal out is set to low voltage side power-source Vss level, and an input signal in 0 is intermediate voltage Vb. If set to level, the output signal out will be set to high potential side power-source Vdd level.

[0118] And in this output circuit 10a, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) can be outputted, without impressing the electrical potential difference which exceeds that proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain like the gestalt of said 2nd operation.

[0119] As described above, the operation effectiveness taken below can be acquired with the gestalt of this operation.

(1) In output circuit 10a of the gestalt of this operation, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) are outputted, without impressing the electrical potential difference which exceeds the proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain like the gestalt of the 2nd operation. That is, in this output circuit 10a, the output signal out of the amplitude exceeding pressure-proofing of each transistors TP1 and TN1 can be outputted, without raising pressure-proofing of each transistors TP1 and TN1.

[0120] (2) Moreover, it is intermediate voltage Vb. Said output signal out is outputted with the input signal in 0 which changes between level and low voltage side power-source Vss level. Therefore, since the number of signals to input can be reduced as compared with the gestalt of said 2nd operation, the signal line can be lessened.

[0121] (3) Moreover, level converter circuit 20b of the gestalt of this operation is level converter circuit 20a of the gestalt of said 4th operation to the PMOS transistor TP 13 - TP16. And NMOS transistor TN14 -TN17 It omits. Therefore, circuitry can be simplified.

[0122] (Gestalt of the 6th operation) The gestalt of the 6th operation which materialized this invention is hereafter explained according to drawing 8. In addition, it prepares for the output stage of level converter circuit 20c in the gestalt of this operation of output circuit 10a of the gestalt of the 2nd operation shown in drawing 4 with the gestalt of this operation. Therefore, the sign same about the same configuration as the gestalt of the 2nd operation is attached, and the detailed explanation is omitted.

[0123] Drawing 8 shows level converter circuit 20c of the gestalt of this operation. Level converter circuit 20c consists of input circuit 21c and said output circuit 10a, the integrating circuit 39 and the PMOS transistor TP 17 which input circuit 21c becomes from inverter circuits 32-36. AND circuit 37, NOR circuit 38, resistance, and capacity - TP24 And NMOS transistor TN18 -TN23 from -- it becomes.

[0124] In one input terminal of AND circuit 37, it is intermediate voltage Vb. The

input signal in 0 which changes between level and low voltage side power-source Vss level is inputted, and an input signal in 0 is inputted into the input terminal of another side through an inverter circuit 32 and an integrating circuit 39. The delay circuit 40 is constituted by this inverter circuit 32 and integrating circuit 39. Moreover, the input terminal of NOR circuit 38 is connected to each input terminal N7 and N8 of AND circuit 37, i.e., nodes, respectively. In addition, in an inverter circuit 32, AND circuit 37, and NOR circuit 38, it is intermediate voltage Vb as a power source of operation. The power source of level and the low voltage side power source Vss are supplied, respectively.

[0125] The output terminal of AND circuit 37 is the NMOS transistor TN18. It connects with the gate. NMOS transistor TN18 A drain is the NMOS transistor TN19. And PMOS transistor TP 17 It minds, and connects with the high potential side power source Vdd, and the low voltage side power source Vss is supplied to the source. NMOS transistor TN19 In the gate, it is intermediate voltage Vb. It is supplied.

[0126] PMOS transistors [TP / TP and / 18] 17 While the mutual gate is connected that current Miller circuit 41 should be constituted, the gate is the PMOS transistor TP 17. It connects with a drain. PMOS transistor TP 18 The high potential side power source Vdd is supplied to the source, and the drain is connected to the input terminal of an inverter circuit 33.

[0127] Inverter circuits 33 and 34 constitute the latch circuit 42. In these inverter circuits 33 and 34, it is [the high potential side power source Vdd and] intermediate voltage Vb as a power source of operation. The power source of level is supplied. The output terminal of an inverter circuit 33 is the PMOS transistor TP 19. It connects with a drain. PMOS transistor TP 19 The high potential side power source Vdd is supplied to the source.

[0128] PMOS transistors [TP / TP and / 20] 19 While the mutual gate is connected that current Miller circuit 43 should be constituted, the gate is the PMOS transistor TP 20. It connects with a drain. PMOS transistor TP 20 The high potential side power source Vdd is supplied to the source, and the drain is the NMOS transistor TN20 and TN21. It minds and connects with the low voltage side power source Vss. NMOS transistor TN20 In the gate, it is intermediate voltage Vb. It is supplied. Moreover, NMOS transistor TN21 The output terminal of said NOR circuit 38 is connected to the gate.

[0129] And said PMOS transistor TP 19 The node N9 between a drain and the output terminal of an inverter circuit 33 is connected to the input terminal of the 1st inverter circuit 15 which constitutes said output circuit 10a. That is, the potential of a node N9 is inputted into the 1st inverter circuit 15 as said 1st input signal in 1.

[0130] On the other hand, the output terminal of said AND circuit 37 is the NMOS transistor TN22. It connects with the gate. NMOS transistor TN22 In a drain, it is the PMOS

transistor TP 21. It minds and is intermediate voltage Vb. It is supplied and the low voltage side power source Vss is supplied to the source.

[0131] PMOS transistors [TP / TP and / 22] 21 While the mutual gate is connected that current Miller circuit 44 should be constituted, the gate is the PMOS transistor TP 21. It connects with a drain. PMOS transistor TP 22 In the source, it is intermediate voltage Vb. It is supplied and the drain is connected to the input terminal of an inverter circuit 35. Inverter circuits 35 and 36 constitute the latch circuit 45. In these inverter circuits 35 and 36, it is intermediate voltage Vb as a power source of operation. The power source of level and the low voltage side power source Vss are supplied. The output terminal of an inverter circuit 35 is the PMOS transistor TP 23. It connects with a drain. PMOS transistor TP 23 The high potential side power source Vdd is supplied to the source.

[0132] PMOS transistors [TP / TP and / 24] 23 While the mutual gate is connected that current Miller circuit 46 should be constituted, the gate is the PMOS transistor TP 24. It connects with a drain. PMOS transistor TP 24 In the source, it is intermediate voltage Vb. It is supplied and is the NMOS transistor TN24 in the drain. It minds and the low voltage side power source Vss is supplied. NMOS transistor TN24 In the gate, it is intermediate voltage Vb. It is supplied.

[0133] And said PMOS transistor TP 23 The node N10 between a drain and the output terminal of an inverter circuit 35 is connected to the input terminal of the 2nd inverter circuit 16 which constitutes said output circuit 10a. That is, the potential of a node N10 is inputted into the 2nd inverter circuit 16 as said 2nd input signal in 2.

[0134] Thus, if an input signal in 0 is set to low voltage side power-source Vss level in constituted level converter circuit 20c, the potential of a node N7 is immediately set to low voltage side power-source Vss level, and the potential of a node N8 is intermediate voltage Vb from low voltage side power-source Vss level after predetermined time progress by the delay circuit 40. It is set to level. That is, the output signal of AND circuit 37 is set to low voltage side power-source Vss level, and the output signal of NOR circuit 38 is intermediate voltage Vb. It is set to low voltage side power-source Vss level from level after predetermined time progress.

[0135] When the output signal of AND circuit 37 is set to low voltage side power-source Vss level, it is the NMOS transistor TN18. It is turned off. Then, NMOS transistor TN19 It will be turned off and current Miller circuit 41 will be in non-operating state. [0136] The output signal of NOR circuit 38 is intermediate voltage Vb. When set to level, it is the NMOS transistor TN21. It is turned on. Then, NMOS transistor TN20 Source potential descends and it is this transistor TN20. It is turned on. ON of this NMOS transistor TN20 operates current Miller circuit 43.

[0137] Then, in a node N9, it is the PMOS transistor TP 19. It minds, the high potential side power source Vdd is supplied, and the potential of the node N9 rises to near the high potential side power-source Vdd level. That is, the 1st input signal in 1 is set to high potential side power-source Vdd level. If the potential of a node N9 is set to high potential side power-source Vdd level at this time, that potential will be held by the latch circuit 42.

[0138] And when the output signal of NOR circuit 38 is set to low voltage side power-source Vss level after predetermined time progress, it is the NMOS transistor TN21. It is turned off. Then, NMOS transistor TN20 will be turned off and current Miller circuit 43 will be in non-operating state. Although current Miller circuit 43 will be in non-operating state at this time, the potential of a node N9 is held by the latch circuit 42 at high potential side power-source Vdd level. Therefore, if an input signal in 0 is set to low voltage side power-source Vss level, the 1st input signal in 1 will be set to high potential side power-source Vdd level.

[0139] Moreover, when the output signal of AND circuit 37 is set to low voltage side power-source Vss level, it is the NMOS transistor TN22. It is turned off. This NMOS transistor TN22 if turned off, current Miller circuit 44 will be in non-operating state.

[0140] The output signal of NOR circuit 38 is intermediate voltage Vb. When set to level, it is the NMOS transistor TN23. It is turned on. This NMOS transistor TN23 ON operates current Miller circuit 46.

[0141] Then, in a node N10, it is the PMOS transistor TP 23. It minds, intermediate voltage Vb is supplied and the potential of the node N10 is intermediate voltage Vb. It goes up to near the level. That is, the 2nd input signal in 2 is intermediate voltage Vb. It is set to level. At this time, the potential of a node N10 is intermediate voltage Vb by the latch circuit 45. It is held at level.

[0142] And when the output signal of NOR circuit 38 is set to low voltage side power-source Vss level after predetermined time progress, it is the NMOS transistor TN23. It is turned off. This NMOS transistor TN23 if turned off, current Miller circuit 46 will be in non-operating state. Although current Miller circuit 46 will be in non-operating state at this time, the potential of a node N10 is intermediate voltage Vb at a latch circuit 45. It is held at level. Therefore, if an input signal in 0 is set to low voltage side power-source Vss level, the 2nd input signal in 2 is intermediate voltage Vb. It is set to level.

[0143] Moreover, if an input signal in 0 is set to low voltage side power-source Vss level with the gestalt of this operation at this time, that input signal in 0 is intermediate voltage Vb by NOR circuit 38 and the delay circuit 40. It is changed into the single shot pulse signal set to low voltage side power-source Vss level from level after predetermined time progress. Therefore, the NMOS transistor TN21 and TN23 Since ON time amount becomes short, they

are this transistor TN21 and TN23. The flowing penetration current can be suppressed small.

[0144] In this way, the 1st input signal in 1 is set to high potential side power-source Vdd level, and the 2nd input signal in 2 is intermediate voltage Vb. If set to level, said output circuit 10a will operate like the gestalt of the 2nd operation, and the output signal out will be set to low voltage side power-source Vss level.

[0145] On the other hand, an input signal in 0 is intermediate voltage Vb. Shortly after being set to level, the potential of a node N7 is intermediate voltage Vb. It is set to level and the potential of a node N8 is intermediate voltage Vb after predetermined time progress by the delay circuit 40. It is set to low voltage side power-source Vss level from level. That is, the output signal of AND circuit 37 is intermediate voltage Vb. It is set to low voltage side power-source Vss level from level after predetermined time progress, and the output signal of NOR circuit 38 is set to low voltage side power-source Vss level.

[0146] When the output signal of NOR circuit 38 is set to low voltage side power-source Vss level, it is the NMOS transistor TN21. It is turned off. Then, NMOS transistor TN20 will be turned off and current Miller circuit 43 will be in non-operating state.

[0147] The output signal of AND circuit 37 is intermediate voltage Vb. When set to level, it is the NMOS transistor TN18. It is turned on. Then, NMOS transistor TN19 Source potential descends and it is this transistor TN19. It is turned on. ON of this NMOS transistor TN19 operates current Miller circuit 41.

[0148] Then, in the input terminal of an inverter circuit 33, it is the PMOS transistor TP 18. It minds, the high potential side power source Vdd is supplied, and the potential of the input terminal rises to near the high potential side power-source Vdd level. That is, the potential in 1 of a node N9, i.e., the 1st input signal, is intermediate voltage Vb. It is set to level. At this time, the potential of a node N9 is intermediate voltage Vb by the latch circuit 42. It is held at level.

[0149] And when the output signal of AND circuit 37 is set to low voltage side power-source Vss level after predetermined time progress, it is the NMOS transistor TN18. It is turned off. Then, NMOS transistor TN19 will be turned off and current Miller circuit 41 will be in non-operating state. Although current Miller circuit 41 will be in non-operating state at this time, the potential of a node N9 is intermediate voltage Vb at a latch circuit 42. It is held at level. Therefore, an input signal in 0 is intermediate voltage Vb. If it becomes, the 1st input signal in 1 is intermediate voltage Vb. It is set to level.

[0150] Moreover, when the output signal of NOR circuit 38 is set to low voltage side power-source Vss level, it is the NMOS transistor TN23. It is turned off. This NMOS transistor TN23 if turned off, current Miller circuit 46 will be in non-operating state.

[0151] The output signal of AND circuit 37 is intermediate voltage Vb. When set to

level, it is the NMOS transistor TN22. It is turned on. This NMOS transistor TN22 ON operates current Miller circuit 44.

[0152] Then, in the input terminal of an inverter circuit 35, it is the PMOS transistor TP 22. It carries out full amplitude actuation in the range of V_{ss} level (0-5 volts) and is intermediate voltage V_b . It is supplied and the potential of the input terminal is intermediate voltage V_b . It goes up to near the level. That is, the potential in 2 of a node N10, i.e., the 2nd input signal, is set to low voltage side power-source V_{ss} level. At this time, the potential of a node N10 is held by the latch circuit 45 at low voltage side power-source V_{ss} level.

[0153] And when the output signal of AND circuit 37 is set to low voltage side power-source V_{ss} level after predetermined time progress, it is the NMOS transistor TN22. It is turned off. This NMOS transistor TN22 if turned off, current Miller circuit 44 will be in non-operating state. Although current Miller circuit 44 will be in non-operating state at this time, the potential of a node N10 is held by the latch circuit 45 at low voltage side power-source V_{ss} level. Therefore, if an input signal in 0 is set to low voltage side power-source V_{ss} level, the 2nd input signal in 2 will be set to low voltage side power-source V_{ss} level.

[0154] Moreover, at the gestalt of this operation, an input signal in 0 is intermediate voltage V_b at this time. If set to level, that input signal in 0 is intermediate voltage V_b by AND circuit 37 and the delay circuit 40. It is changed into the single shot pulse signal set to low voltage side power-source V_{ss} level from level after predetermined time progress. Therefore, the NMOS transistor TN18 and TN22 Since ON time amount becomes short, they are this transistor TN18 and TN22. The flowing penetration current can be suppressed small.

[0155] In this way, the 1st input signal in 1 is intermediate voltage V_b . If it is set to level and the 2nd input signal in 2 is set to low voltage side power-source V_{ss} level, said output circuit 10a will operate like the gestalt of the 2nd operation, and the output signal out will be set to high potential side power-source V_{dd} level.

[0156] That is, if an input signal in 0 is set to low voltage side power-source V_{ss} level in level converter circuit 20c of the gestalt of this operation, the output signal out is set to low voltage side power-source V_{ss} level, and an input signal in 0 is intermediate voltage V_b . If set to level, the output signal out will be set to high potential side power-source V_{dd} level.

[0157] And in this output circuit 10a, a power source V_{dd} and the output signal out which carries out full amplitude actuation in the range of V_{ss} level (0-5 volts) can be outputted, without impressing the electrical potential difference which exceeds that proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain like the gestalt of said 2nd operation.

[0158] As described above, the operation effectiveness taken below can be acquired with the gestalt of this operation.

(1) In output circuit 10a of the gestalt of this operation, a power source V_{dd} and the output signal out which carries out full amplitude actuation in the range of V_{ss} level (0-5 volts) are outputted, without impressing the electrical potential difference which exceeds the proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain like the gestalt of the 2nd operation. That is, in this output circuit 10a, the output signal out of the amplitude exceeding pressure-proofing of each transistors TP1 and TN1 can be outputted, without raising pressure-proofing of each transistors TP1 and TN1.

[0159] (2) Moreover, it is intermediate voltage V_b . Said output signal out is outputted with the input signal in 0 which changes between level and low voltage side power-source V_{ss} level. Therefore, since the number of signals to input can be reduced as compared with the gestalt of said 2nd operation, the signal line can be lessened.

[0160] (3) Moreover, if an input signal in 0 is set to low voltage side power-source V_{ss} level in level converter circuit 20c of the gestalt of this operation, the input signal in 0 is intermediate voltage V_b by NOR circuit 38 and the delay circuit 40. It is changed into the single shot pulse signal set to low voltage side power-source V_{ss} level from level after predetermined time progress. Therefore, the NMOS transistor TN21 and TN23 Since ON time amount becomes short, they are this transistor TN21 and TN23. The flowing penetration current can be suppressed small. Moreover, an input signal in 0 is intermediate voltage V_b . If set to level, the input signal in 0 is intermediate voltage V_b by AND circuit 37 and the delay circuit 40. It is changed into the single shot pulse signal set to low voltage side power-source V_{ss} level from level after predetermined time progress. Therefore, the NMOS transistor TN18 and TN22 Since ON time amount becomes short, they are this transistor TN18 and TN22. The flowing penetration current can be suppressed small. Therefore, each transistor TN18 and TN21 -TN23 Since the flowing penetration current can be suppressed small, power consumption is reducible.

[0161] (Gestalt of the 7th operation) The gestalt of the 7th operation which materialized this invention is hereafter explained according to drawing 9. In addition, with the gestalt of this operation, the sign same about the same configuration as the gestalt of the 2nd operation shown in drawing 4 is attached, and the detailed explanation is omitted.

[0162] Drawing 9 shows NAND circuit 50 in the gestalt of this operation. As for output circuit 10b with which the output stage of NAND circuit 50 is equipped, the 1st and 2nd inverter circuits 15 and 16 are permuted by 1st and 2nd NAND circuits 51 and 52 to output circuit 10a of the gestalt of the 2nd operation. That is, the output signal of 1st NAND circuit 51 is outputted to a node N1, and the output signal of 2nd NAND circuit 52 is outputted

to a node N2.

[0163] In 1st NAND circuit 51, they are the high potential side power source Vdd and intermediate voltage Vb as a power source of operation. The power source of level is supplied. An input signal in 11 is inputted into one input terminal of 1st NAND circuit 51 through the power source 53 for level shifts, and an input signal in 12 is inputted into the input terminal of the another side through the power source 54 for level shifts.

[0164] Said input signals in11 and in12 are signals which change between low voltage side power-source Vss level and intermediate voltage Vb level. And the power sources 53 and 54 for level shifts are low voltage side power-source Vss level and intermediate voltage Vb. It is intermediate voltage Vb about the input signals in11 and in12 which change between level. It shifts to the signal which changes between level and high potential side power-source Vdd level, and the shifted signal is outputted to 1st NAND circuit 51.

[0165] In 2nd NAND circuit 52, it is intermediate voltage Vb as a power source of operation. The power source of level and the low voltage side power source Vss are supplied. Said input signal in 11 is inputted into one input terminal of 2nd NAND circuit 52, and said input signal in 12 is inputted into the input terminal of the another side.

[0166] Thus, if said input signals in11 and in12 are set to low voltage side power-source Vss level in both constituted output circuit 10b, these input signals in11 and in12 are intermediate voltage Vb by the power sources 53 and 54 for level shifts. It is shifted to the signal of level and the shifted signal is inputted into 1st NAND circuit 51. Moreover, said input signals in11 and in12 of low voltage side power-source Vss level are inputted into 2nd NAND circuit 52.

[0167] Then, the output signal of 1st NAND circuit 51, i.e., the potential of a node N1, is set to high potential side power-source Vdd level, and the output signal of 2nd NAND circuit 52, i.e., the potential of a node N2, is intermediate voltage Vb. It is set to level. In this way, the potential of a node N1 is set to high potential side power-source Vdd level, and the potential of a node N2 is intermediate voltage Vb. If set to level, the CMOS inverter circuit 11 will operate like the gestalt of the 2nd operation, and the output signal out of NAND circuit 50 will be set to high potential side power-source Vdd level.

[0168] Moreover, said both input signals in11 and in12 are intermediate voltage Vb. If set to level, these input signals in11 and in12 will be shifted to the signal of high potential side power-source Vdd level by the power sources 53 and 54 for level shifts, and the shifted signal will be inputted into 1st NAND circuit 51. Moreover, in 2nd NAND circuit 52, it is intermediate voltage Vb. Said input signals in11 and in12 of level are inputted.

[0169] Then, the output signal of 1st NAND circuit 51, i.e., the potential of a node N1,

is intermediate voltage Vb. It is set to level and the output signal of 2nd NAND circuit 52, i.e., the potential of a node N2, is set to low voltage side power-source Vss level. In this way, the potential of a node N1 is intermediate voltage Vb. If it is set to level and the potential of a node N2 is set to low voltage side power-source Vss level, the CMOS inverter circuit 11 will operate like the gestalt of the 2nd operation, and the output signal out of NAND circuit 50 will be set to low voltage side power-source Vss level.

[0170] Moreover, said input signal in 11 is intermediate voltage Vb. If it is set to level and said input signal in 12 is set to low voltage side power-source Vss level, an input signal in 11 is shifted to the signal of high potential side power-source Vdd level by the power sources 53 and 54 for level shifts, and an input signal in 12 is intermediate voltage Vb. It is shifted to the signal of level. And the shifted signal is inputted into 1st NAND circuit 51, respectively. Moreover, in 2nd NAND circuit 52, it is intermediate voltage Vb. The input signal in 11 of level and the input signal in 12 of low voltage side power-source Vss level are inputted.

[0171] Then, the output signal of 1st NAND circuit 51, i.e., the potential of a node N1, is set to high potential side power-source Vdd level, and the output signal of 2nd NAND circuit 52, i.e., the potential of a node N2, is intermediate voltage Vb. It is set to level. In this way, the potential of a node N1 is set to high potential side power-source Vdd level, and the potential of a node N2 is intermediate voltage Vb. If set to level, the CMOS inverter circuit 11 will operate like the gestalt of the 2nd operation, and the output signal out of NAND circuit 50 will be set to high potential side power-source Vdd level.

[0172] Moreover, said input signal in 11 is set to low voltage side power-source Vss level, and said input signal in 12 is intermediate voltage Vb. If set to level, an input signal in 11 is intermediate voltage Vb by the power sources 53 and 54 for level shifts. It is shifted to the signal of level and an input signal in 12 is shifted to the signal of high potential side power-source Vdd level. And the shifted signal is inputted into 1st NAND circuit 51, respectively. Moreover, in 2nd NAND circuit 52, it is the input signal in 11 and intermediate voltage Vb of low voltage side power-source Vss level. The input signal in 12 of level is inputted.

[0173] Then, the output signal of 1st NAND circuit 51, i.e., the potential of a node N1, is set to high potential side power-source Vdd level, and the output signal of 2nd NAND circuit 52, i.e., the potential of a node N2, is intermediate voltage Vb. It is set to level. In this way, the potential of a node N1 is set to high potential side power-source Vdd level, and the potential of a node N2 is intermediate voltage Vb. If set to level, the CMOS inverter circuit 11 will operate like the gestalt of the 2nd operation, and the output signal out of NAND circuit 50 will be set to high potential side power-source Vdd level.

[0174] That is, in both NAND circuits 50 of the gestalt of this operation, said input signals in11 and in12 are intermediate voltage Vb. If the output signal out will be set to low voltage side power-source Vss level if set to level, and at least one side is set to low voltage side power-source Vss level among said input signals in11 and in12, the output signal out will be set to high potential side power-source Vdd level.

[0175] And in this output circuit 10b, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) can be outputted, without impressing the electrical potential difference which exceeds that proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain.

[0176] As described above, the operation effectiveness taken below can be acquired with the gestalt of this operation.

(1) In output circuit 10b of the gestalt of this operation, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) are outputted, without impressing the electrical potential difference which exceeds the proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain like the gestalt of the 2nd operation. That is, in this output circuit 10b, the output signal out of the amplitude exceeding pressure-proofing of each transistors TP1 and TN1 can be outputted, without raising pressure-proofing of each transistors TP1 and TN1.

[0177] (Gestalt of the 8th operation) The gestalt of the 8th operation which materialized this invention is hereafter explained according to drawing 10. In addition, it prepares for the output stage of the operational amplifier circuit 60 in the gestalt of this operation of output circuit 10a of the gestalt of the 2nd operation shown in drawing 4 with the gestalt of this operation. Therefore, the sign same about the same configuration as the gestalt of the 2nd operation is attached, and the detailed explanation is omitted.

[0178] Drawing 10 shows the operational amplifier circuit 60 of the gestalt of this operation. The operational amplifier circuit 60 consists of an input circuit 61 and said output circuit 10a. An input circuit 61 consists of the PMOS transistors [TP / TP and / 26] 25, NMOS transistor TN24-TN28, and resistance R3-R5.

[0179] The NMOS transistor TN24 and TN25 While the mutual source is connected, in the source, it is the NMOS transistor TN26. It minds and the low voltage side power source Vss is supplied. The NMOS transistor TN26 and TN27 That current Miller circuit 62 should be constituted, while the mutual gate is connected, the gate is the NMOS transistor TN27. It connects with the gate. NMOS transistor TN27 The high potential side power source Vdd is supplied to a drain through resistance R3, and the low voltage side power source Vss is supplied to the source. And the NMOS transistor TN26 and TN27 And resistance R3 constitutes the constant current source.

[0180] Said NMOS transistor TN24 In a drain, it is the NMOS transistor TN28. And PMOS transistor TP 25 It minds and the high potential side power source Vdd is supplied. NMOS transistor TN28 In the gate, it is intermediate voltage Vb. It is supplied.

[0181] PMOS transistors [TP / TP and / 26] 25 While the mutual gate is connected that current Miller circuit 63 should be constituted, the gate is the PMOS transistor TP 25. It connects with a drain. PMOS transistor TP 26 The high potential side power source Vdd is supplied to the source; resistance R4 is minded [the], and it is intermediate voltage Vb. It is supplied.

[0182] Moreover, said NMOS transistor TN25 Resistance R5 is minded and it is intermediate voltage Vb. It is supplied. This NMOS transistor TN25 The gate is the non-inversed input terminal of the operational amplifier circuit 60, and is intermediate voltage Vb in this gate. The input signal in 21 which changes between level and low voltage side power-source Vss level is inputted. Moreover, said NMOS transistor TN24 The gate is the inversed input terminal of the operational amplifier circuit 60, and is intermediate voltage Vb in this gate. The input signal in 22 which changes between level and low voltage side power-source Vss level is inputted.

[0183] And said PMOS transistor TP 26 The node N11 between resistance R4 is connected to the input terminal of the 1st inverter circuit 15 which constitutes said output circuit 10a. That is, the potential of a node N11 is inputted into the 1st inverter circuit 15 as said 1st input signal in 1. Moreover, said NMOS transistor TN25 The node N12 between resistance R5 is connected to the input terminal of the 2nd inverter circuit 16 which constitutes said output circuit 10a. That is, the potential of a node N12 is inputted into the 2nd inverter circuit 16 as said 2nd input signal in 2.

[0184] In addition, said resistance R4 and R5 maintains the potential difference between nodes N [N11 and] 12 on intermediate voltage Vb level (2.5 volts). That is, if the potential of a node N11 rises to near the high potential side power-source Vdd level, the potential of a node N12 is intermediate voltage Vb. It goes up to near the level. On the other hand, if the potential of a node N12 descends to near the low voltage side power-source Vss level, the potential of a node N11 is intermediate voltage Vb. It descends to near the level.

[0185] Thus, when the level of the input signal in 22 inputted into an inversed input terminal becomes high relatively in the constituted operational amplifier circuit 60 from the level of the input signal in 21 inputted into a non-inversed input terminal, it is the NMOS transistor TN24. Current drive capacity is the NMOS transistor TN25. It becomes higher than current drive capacity. Then, NMOS transistor TN28 Source potential descends and it is this transistor TN28. Current drive capacity is heightened. This NMOS transistor TN28 When current drive capacity is heightened, it is the PMOS transistor TP 25. A drain current, i.e., the

drain current of the PMOS transistor TP 26, increases.

[0186] Moreover, since in other words the level of the input signal in 21 inputted into a non-inversed input terminal becomes low relatively from the level of the input signal in 22 inputted into an inversed input terminal, it is the NMOS transistor TN25. Current drive capacity is suppressed. Then, NMOS transistor TN25 A drain current decreases.

[0187] And the potential in 1 of a node N11, i.e., said 1st input signal, rises to near the high potential side power-source Vdd level in operating in this way, and the potential in 2 of a node N12, i.e., said 2nd input signal, is intermediate voltage Vb. It goes up to near the level. In this way, the 1st input signal in 1 goes up to near the high potential side power-source Vdd level, and the 2nd input signal in 2 is intermediate voltage Vb. If it goes up to near the level, said output circuit 10a will operate like the gestalt of the 2nd operation, and the output signal out will descend to near the low voltage side power-source Vss level.

[0188] On the other hand, when the level of the input signal in 22 inputted into an inversed input terminal becomes low relatively from the level of the input signal in 21 inputted into a non-inversed input terminal, it is the NMOS transistor TN24. Current drive capacity is the NMOS transistor TN25. It becomes lower than current drive capacity. Then, NMOS transistor TN24 It follows on the fall of current drive capacity, and is the NMOS transistor TN28. Current drive capacity is suppressed. This NMOS transistor TN28 When current drive capacity is suppressed, it is the PMOS transistor TP 25. Drain current TP 26, i.e., a PMOS transistor, A drain current decreases.

[0189] Moreover, since in other words the level of the input signal in 21 inputted into a non-inversed input terminal becomes high relatively from the level of the input signal in 22 inputted into an inversed input terminal, it is the NMOS transistor TN25. Current drive capacity is heightened. Then, NMOS transistor TN25 A drain current increases.

[0190] And the potential in 1 of a node N11, i.e., said 1st input signal, is intermediate voltage Vb by operating in this way. It descends to near the level and the potential in 2 of a node N12, i.e., said 2nd input signal, descends to near the low voltage side power-source Vss level. In this way, the 1st input signal in 1 is intermediate voltage Vb. If it descends to near the level and the 2nd input signal in 2 descends to near the low voltage side power-source Vss level, said output circuit 10a will operate like the gestalt of the 2nd operation, and the output signal out will go up to near the high potential side power-source Vdd level.

[0191] And in this output circuit 10a, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) can be outputted, without impressing the electrical potential difference which exceeds that proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain

like the gestalt of said 2nd operation.

[0192] As described above, the operation effectiveness taken below can be acquired with the gestalt of this operation.

(1) In output circuit 10a of the gestalt of this operation, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) are outputted, without impressing the electrical potential difference which exceeds the proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain like the gestalt of the 2nd operation. That is, in this output circuit 10a, the output signal out of the amplitude exceeding pressure-proofing of each transistors TP1 and TN1 can be outputted, without raising pressure-proofing of each transistors TP1 and TN1.

[0193] In addition, the gestalt of operation of this invention may be changed as follows. O At the gestalt of each above-mentioned implementation, it is the fixed intermediate voltage Vb in the middle level of power sources Vdd and Vss to the gate of the input terminal TP1 and TN1 of the CMOS inverter circuit 11, i.e., both transistors. Although it was made to supply The intermediate voltage Vb As long as an electrical-potential-difference value is between an electrical potential difference only with the low threshold of high potential side power-source Vdd level to the PMOS transistor TP 1, and an electrical potential difference only with the high threshold of low voltage side power-source Vss level to the NMOS transistor TN1, it may be been fixed or changed.

[0194] O With the gestalt of the above 3rd - the 6th and 8th implementation, although output circuit 10a of the gestalt of the 2nd operation was used, the output circuit 10 of the gestalt of the 1st operation which is shown in drawing 4 and which is shown in drawing 2 may be used.

[0195] O In order to make it the big potential difference not arise with the gestalt of each above-mentioned implementation between the sources of both the transistors TP1 and TN1 (i.e., between nodes N [N1 and] 2) The timing which raises the potential of a node N2 at the time of the standup of an output signal out as shown in drawing 3 is already set from the timing which raises the potential of a node N1 at the time of falling of a comb and an output signal out. Although timing which drops the potential of a node N2 was made later than the timing which drops the potential of a node N1, the potential of nodes N1 and N2 may be made to change to coincidence.

[0196] O With the gestalt of implementation of the above 6th, although the delay circuit 40 was constituted from an inverter circuit 32 and an integrating circuit 39 which consists of resistance and capacity, it is not limited to this configuration. For example, two or more inverter circuits may be connected to a serial, and a delay circuit may be constituted.

[0197]

[Effect of the Invention] As explained in full detail above, according to this invention, in the output circuit which consists of a CMOS inverter circuit, the output circuit which may output the output signal of the amplitude exceeding pressure-proofing of an MOS transistor and the level converter circuit equipped with the output circuit, a logical circuit, and an operational amplifier circuit can be offered.

[Brief Description of the Drawings]

[Drawing 1] It is the principle explanatory view of this invention.

[Drawing 2] It is the circuit diagram showing the output circuit in the gestalt of the 1st operation.

[Drawing 3] It is the wave form chart showing actuation of the output circuit in the gestalt of the 1st operation.

[Drawing 4] It is the circuit diagram showing the output circuit in the gestalt of the 2nd operation.

[Drawing 5] It is the circuit diagram showing the level converter circuit in the gestalt of the 3rd operation.

[Drawing 6] It is the circuit diagram showing the level converter circuit in the gestalt of the 4th operation.

[Drawing 7] It is the circuit diagram showing the level converter circuit in the gestalt of the 5th operation.

[Drawing 8] It is the circuit diagram showing the level converter circuit in the gestalt of the 6th operation.

[Drawing 9] It is the circuit diagram showing the NAND circuit in the gestalt of the 7th operation.

[Drawing 10] It is the circuit diagram showing the operational amplifier circuit in the gestalt of the 8th operation.

[Description of Notations]

1 CMOS Inverter Circuit

2 Potential Control Circuit

TP PMOS transistor

TN NMOS transistor

V1 The high potential side power source as an external power

V2 The low voltage side power source as an external power

V3 Reference voltage

in Input signal

out Output signal

OUTPUT CIRCUIT, LEVEL CONVERTER CIRCUIT, LOGIC CIRCUIT AND OPERATIONAL AMPLIFIER CIRCUIT

Patent number: JP11346150
Publication date: 1999-12-14
Inventor: OKADA KOJI
Applicant: FUJITSU LTD;; FUJITSU VLSI LTD
Classification:
- international: H03K19/0948; H03K19/0175; H03K19/0185; H03K19/003
- european: H03K19/0185B4; H03K19/0185B4D
Application number: JP19980151627 19980601
Priority number(s): JP19980151627 19980601

Also published as:



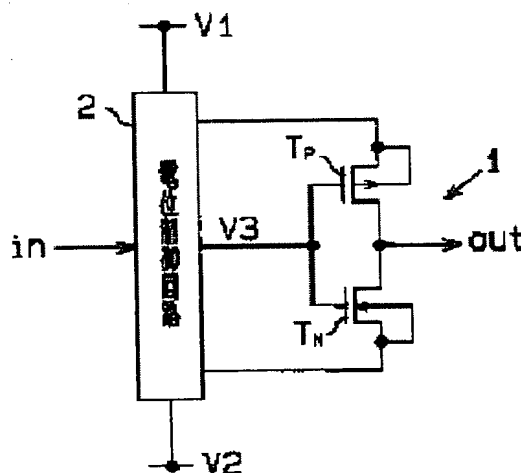
US6249169 (B)
FR2779293 (A)

Report a data error he

Abstract of JP11346150

PROBLEM TO BE SOLVED: To provide an output circuit which can output an output signal of an amplitude that exceeds the breakdown voltage of a MOS transistor, for an output circuit consisting of a CMOS inverter circuit.

SOLUTION: A potential control circuit 2 supplies a voltage between a voltage lower by a threshold of a PMOS transistor TP than a high potential side power source V1 level and a voltage higher by a threshold of an NMOS transistor TN than a low potential side power source V2 to a gate as a reference voltage V3. Then, when an input signal (in) reaches a first level, the source potentials of both of the transistors TP and TN are synchronized and raised, a voltage between a gate and the source of the transistor TN is made lower than the threshold with a source potential of the transistor TP as a power source V1 level. When the input signal (in) reaches a second level, the source potential of both of the transistors TP and TN are synchronized and lowered, and the voltage between the gate and the source is lowered than the threshold with the source potential of the transistor TN as a power source V2 level.



Data supplied from the esp@cenet database - Worldwide

(19) 日本國特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-346150

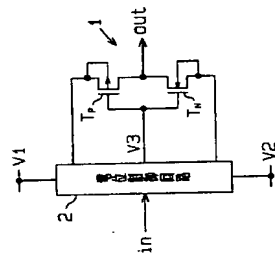
(51)In.Cl.*	識別記号	FI	
H 0 3 K	19/0175	H 0 3 K	19/00
	19/0185		19/003
	19/003		19/00
	19/0948		19/094
			1 0 1 F
			E
			1 0 1 D
			B

(21)出願番号	特願平10-151627
(22)出願日	平成10年(1998)6月1日
(71)出願人	富士通株式会社 東京都中央区小田中4丁目1番 1号
(72)発明者	岡田 浩司 愛知県春日井市高蔵寺町2丁目1844番2
(74)代理人	弁護士 堀田 博宣 富士通ヴィエルエスアイ株式会社内

山本四郎 1ペリコンバータ回路 除理回路、及び、オペアンプ回路

【57】【要約】
【課題】CMOSインバータ回路からなる出力回路において、MOSトランジスタの耐圧を超える振幅の出力信号を出力し得る出力回路を提供する。

【解決手段】電位制御回路2は、高電位側電源V1レベルからPMOSトランジスタTPのしきい値以下低電圧まで、低電位側電源V2レベルからNMOSトランジスタTNのしきい値以下高電圧との間の電圧を基準電圧として、電圧生成に供給する。そして、入力信号inが第1のレベルになると、両トランジスタTP、TNのソース電位を同期して下昇させ、トランジスタTPのゲート・ソース間電圧V1レベルとし、トランジスタTNのゲート・ソース間電圧V1レベルより低くし、入力信号inが第2のレベルになると、両トランジスタTP、TNのソース電位を同期して下降させ、トランジスタTNのソース電位を電源V2レベルとして、トランジスタTPのソース・ソース間電圧V2レベルより低くする。



本書の巨匠解説図

【特許請求の範囲】

【請求項1】 CMOSインバータ回路から構成され、
値化された入力信号に基づいて外部電源レベルで変化
する出力信号を出力する出力回路であって、

PMOSトランジスタのしきい電圧と、低電位創電源レベルからNMOSTトランジスタのしきい電圧との間の電圧を基準電圧として各トランジスタのゲートに供給し、前記入力電圧が第1のレベルになると、高トランジスタのソース電圧を同期して上昇させて、PMOSTトランジスタのソース電圧を高電位創電源レベルとするとともに、NMOSTトランジスタのゲート・ソース間電圧をそのしきい値より低くし、前記入力電圧が第2のレベルになると、NMOSTトランジスタのソース電圧を同期して下降させて、NMOSTトランジスタのソース電圧を低電位創電源レベルとするとともに、PMOSTトランジスタのゲート・ソース間電圧をそのしきい値より低くする電位制御回路を備える。

【請求項2】 請求項1に記載の出力回路において、前記電位制御回路は、

高電位側電源レベルからPMOSTランジスタのしきい値に近い電圧と、低電位側電源レベルからNMOSTランジスタのしきい値に近い電圧との間の電圧を基準電圧として各トランジスタのゲートに供給する基準電圧発生回路と、

制御入力番号が第1のレベルになると、両トランジスタのソース電位を同期して上昇させ、PMOSTランジスタのソースのソース電位を高電位制御電源レベルとするとともに、NMOSTランジスタのゲート・ソース間電圧をそのしきい値より低くし、前記入力番号が第2のレベルになると、両トランジスタのソース電位を同期して下降させ、NMOSTランジスタのソース電位を高電位制御電源レベルとするとともに、PMOSTランジスタのゲート・ソース間電圧をそのしきい値より低下するソース電位制御電源から構成したことを特徴とする出力回路。

前記PMOS電位制御回路は、前記PMOSトランジスタのソースと高電位制電源との間に介在され、そのゲートに高電位制電源レベルと前記基準電圧レベルとの間で変化する第1の人力信号が入力されるNMOSトランジスタよりなる第1のソースフォロロウ回路と、

前記NMOSトランジスタのソースと低電位側電源との間に介在され、そのゲートに前記第1の入力信号と同期信号とが入力され、かつ前記基礎電圧レベルと低電位側電源レベルとの間に変化する第2の入力信号が入力されるPMOSトランジスタよりなる第2のソースフォロワ回路を構成したことを特徴とする出力回路。

【請求項4】 請求項2に記載の出力回路において、前記ソース電位制御回路は、

動作電源として高電位側電源と前記基準電圧レベルの電源とが供給され、その入力端子に高電位側電源レベルと前記基準電圧レベルとの間で変化する第1の入力信号が入力されるとともに、その入力信号に基づいた出力信号を前記PMOSTランジスタのソースに供給する第1のインバータ回路と

動作電源として前記基準電圧レベルの電源と低電位側出力とが供給され、その入力端子に前記第1の入力信号と同期して同方向に変化し、かつ前記基準電圧レベルと低電位側出力との間で変化する第2の入力信号が入力されるとともに、その入力信号に基づいた出力信号を前記NMOSトランジスタのソースに供給する第2のインバータ回路とから構成したことを特徴とする出力回路。

【請求項5】 請求項2に記載の出力回路において、前記ソース電位制御回路は、前記出力番号の立ち上げ時に、前記NMOSTランジスタのソース電位を、前記NMOSTランジスタのソース電位より早くし、前記出力番号の立ち下げ時においては、前記NMOSTランジスタのソース電位を変化させるタイミングより早くし、前記NMOSTランジスタのソース電位を変化させるタイミングを、前記PMOSTランジスタのソース電位を変化させるタイミングとさせるタイミングを有する特性とする出力回路。

【請求項6】 請求項3又は4に記載の出力回路と、
入力信号を前記第1の入力信号と、その第1の入力信号と、
同期して同方向に変化する第2の入力信号に交換し、そ
の交換した第1及び第2の入力信号を前記出力回路に出
力する入力信号変換回路とを備えたことを特徴とする
ベルココンバータ回路。

【請求項7】 請求項6に記載のレベルコンバータ回路において、

前記入力信号変換回路は、高電位高周波と前記基準電圧レベルの電源との間に第1のカレントミミラ回路と抵抗とを直列に接続するとともに、前記入力信号に基づいて第1のカレントミミラ回路を活性状態又は非活性状態に切り替える第1のスイッチ回路から構成し、第1のカレントミミラ回路と抵抗との接続点から前記第1の入力信号を前記出力回路に出力する。第1の入力信号変換回路は、

前記基準電圧レベルの電源と低電位側電源との間に第2のカレントミラー回路を直列に接続するとともに、前記第1の入力信号に基いて第2のカレントミラー回路を活性状態又は非活性状態に切り替える第2の回路から構成し、第2のカレントミラー回路と抵抗とを同期して同方向に変化する第2の入力信号を前記出力回路に出力する第3の回路から前記第1の入力信号と同期して同方向に変化する第2の入力信号を前記出力回路に出力する第4の回路とを特徴とするレギュレーション回路。

【請求項8】 請求項6に記載のレベルコンパータ回路において、

10

つまり、各トランジスタのゲートと、ソース・ドレインとの間に印加する電圧を外部電源の差電圧以下としながら、外部電源レベルの範囲でフル振幅動作する出力信号が出力される。従って、各トランジスタの耐圧を上げることなく、各トランジスタの耐圧を超える振幅の出力信号を出力することができる。

【0022】請求項4に記載の発明によれば、第1の入力信号が高電位側電源レベル、第2の入力信号が基準電圧レベルになると、第1及び第2のインバータ回路によって、両トランジスタのソース電位が同期して下降され、NMOSトランジスタのソース電位が低電位側電源レベルとされ、PMOSトランジスタのゲート・ソース間電圧がそのしきい値より低くされる（ゲート・ソース間電圧ゼロ）。一方、第1の入力信号が基準電圧レベル、第2の入力信号が高電位側電源レベルになると、第1及び第2のインバータ回路によって、両トランジスタのソース電位が同期して上昇され、PMOSトランジスタのソース電位が高電位側電源レベルとされ、NMOSトランジスタのゲート・ソース間電圧がそのしきい値より低くされる（ゲート・ソース間電圧ゼロ）。つま

20

り、各トランジスタのゲートと、ソース・ドレインとの間に印加する電圧を外部電源の差電圧以下としながら、外部電源レベルの範囲でフル振幅動作する出力信号が出力される。従って、各トランジスタの耐圧を上げることなく、各トランジスタの耐圧を超える振幅の出力信号を出力することができる。

【0023】請求項5に記載の発明によれば、ソース電位制御回路によって、出力信号の立ち上げ時において、NMOSトランジスタのソース電位を低下させるタイミングが、PMOSトランジスタのソース電位を低下させるタイミングより早くされ、出力信号の立ち下げ時には、NMOSトランジスタのソース電位を低下させるタイミングが、PMOSトランジスタのソース電位を低下させるタイミングより遅くされる。すると、両トランジスタのソース間にその耐圧を超える大きな電位差が生じることがない。従って、両トランジスタの破壊

を未然に防止できる。

【0024】請求項6に記載の発明によれば、入力信号が出力信号を第1の入力信号と第2の入力信号に交互に印加して同方向に変化する第2の入力信号に出力を切り換える入力信号をそれぞれ出力回路に出力する。すると、出力回路では、第1及び第2の入力信号に基づいて、各トランジスタのゲートと、ソース・ドレインとの間に印加する電圧を外部電源の差電圧以下としながら、外部電源レベルの範囲でフル振幅動作する出力信号が出力される。従って、各トランジスタの耐圧を上げることなく、各トランジスタの耐圧を超える振幅の出力信号を出力することができる。

【0025】請求項7に記載の発明によれば、第1の入力信号が出力信号を第1の入力信号と第2の入力信号に交互に印加して同方向に変化する第2の入力信号に出力を切り換える入力信号をそれぞれ出力回路に出力する。すると、出力回路では、第1及び第2の入力信号に基づいて、各トランジスタのゲートと、ソース・ドレインとの間に印加する電圧を外部電源の差電圧以下としながら、外部電源レベルの範囲でフル振幅動作する出力信号が出力される。従って、各トランジスタの耐圧を上げることなく、各トランジスタの耐圧を超える振幅の出力信号を出力することができる。

50

力信号が出力信号を第1の入力信号と第2の入力信号に交互に印加して同方向に変化する第2の入力信号に出力を切り換える入力信号をそれぞれ出力回路に出力する。すると、出力回路では、第1及び第2の入力信号に基づいて、各トランジスタのゲートと、ソース・ドレインとの間に印加する電圧を外部電源の差電圧以下としながら、外部電源レベルの範囲でフル振幅動作する出力信号が出力される。従って、各トランジスタの耐圧を上げることなく、各トランジスタの耐圧を超える振幅の出力信号を出力することができる。

9

記載の出力回路を、その出力段に備えた。

【0019】（作用）従って、請求項1に記載の発明によれば、電位制御回路2によって、入力信号inが第1のレベルになると、両トランジスタTP、TNのソース電位が同期して上昇され、PMOSトランジスタTPのソース電位が高電位側電源V1レベルとされ、NMOSトランジスタTNのゲート・ソース間電圧がそのしきい値より低くされる。一方、入力信号inが第2のレベルになると、両トランジスタTP、TNのソース電位が同期して下降され、NMOSトランジスタTNのソース電位が低電位側電源V2レベルとされ、PMOSトランジスタTPのゲート・ソース間電圧がそのしきい値より低くされる。つまり、各トランジスタTP、TNのゲートと、ソース・ドレインとの間に印加する電圧を外部電源V1、V2の差電圧以下としながら、外部電源V1、V2レベルの範囲でフル振幅動作する出力信号outが出力される。従って、各トランジスタTP、TNの耐圧を上げることなく、各トランジスタTP、TNの耐圧を超える振幅の出力信号outを出力することができる。

20

【0020】請求項2に記載の発明によれば、基準電圧発生回路及びソース電位制御回路によって、入力信号が第1のレベルになると、両トランジスタのソース電位が同期して上昇され、PMOSトランジスタのソース電位が高電位側電源レベルとされ、NMOSトランジスタのゲート・ソース間電圧がそのしきい値より低くされる。一方、入力信号が第2のレベルになると、両トランジスタのソース電位が同期して下降され、NMOSトランジスタのソース電位が低電位側電源レベルとされ、PMOSトランジスタのゲート・ソース間電圧がそのしきい値より低くされる。つまり、各トランジスタのゲートと、ソース・ドレインとの間に印加する電圧を外部電源の差電圧以下としながら、外部電源レベルの範囲でフル振幅動作する出力信号が出力される。従って、各トランジスタの耐圧を上げることなく、各トランジスタの耐圧を超える振幅の出力信号を出力することができる。

【0021】請求項3に記載の発明によれば、第1の入力信号が高電位側電源レベル、第2の入力信号が基準電圧レベルになると、第1及び第2のソース・ドレインによって、両トランジスタのソース電位が同期して上昇され、PMOSトランジスタのソース電位が高電位側電源レベルとされ、NMOSトランジスタのゲート・ソース間電圧がそのしきい値より低くされる（ゲート・ソース間電圧ゼロ）。一方、第1の入力信号が基準電圧レベル、第2の入力信号が高電位側電源レベルとされ、NMOSトランジスタのソース電位が同期して下降され、PMOSトランジスタのゲート・ソース間電圧がそのしきい値より低くされる。従って、各トランジスタの耐圧を上げることなく、各トランジスタの耐圧を超える振幅の出力信号を出力することができる。

【0022】請求項4に記載の発明によれば、第1の入力信号が高電位側電源レベル、第2の入力信号が基準電圧レベルになると、第1及び第2のインバータ回路によって、両トランジスタのソース電位が同期して下降され、NMOSトランジスタのソース電位が低電位側電源レベルとされ、PMOSトランジスタのゲート・ソース間電圧がそのしきい値より低くされる（ゲート・ソース間電圧ゼロ）。一方、第1の入力信号が基準電圧レベル、第2の入力信号が高電位側電源レベルとされ、NMOSトランジスタのゲート・ソース間電圧がそのしきい値より低くされる。従って、各トランジスタの耐圧を上げることなく、各トランジスタの耐圧を超える振幅の出力信号を出力することができる。

【0023】請求項5に記載の発明によれば、ソース電位制御回路によって、出力信号の立ち上げ時において、NMOSトランジスタのソース電位を低下させるタイミングが、PMOSトランジスタのソース電位を低下させるタイミングより早くされ、出力信号の立ち下げ時には、NMOSトランジスタのソース電位を低下させるタイミングが、PMOSトランジスタのソース電位を低下させるタイミングより遅くされる。すると、両トランジスタのソース間にその耐圧を超える大きな電位差が生じることがない。従って、両トランジスタの破壊

50

を未然に防止できる。

8

る第4のスイッチ回路とから構成し、両カレントミラー回路の接続点から前記第1の入力信号と同期して同方向に変化する前記第2の入力信号を前記出力回路に出力する第2の入力信号変換回路部とからなる。

【0016】請求項8に記載の発明は、請求項6に記載のレベルコンバータ回路において、前記入力信号は、前記基準電圧レベルと低電位側電源レベルとの間で変化する信号であって、前記入力信号変換回路は、高電位側電源と前記基準電圧レベルの電源との間に第1及び第3のカレントミラー回路を直列に接続するとともに、前記カレントミラー回路に基づいて第1のカレントミラー回路を活性状態又は非活性状態に切り替える第1のスイッチ回路と、前記入力信号に基づいて第3のカレントミラー回路を前記第1のカレントミラー回路に対して補補動作させる第3のスイッチ回路とから構成し、両カレントミラー回路の接続点から前記第1の入力信号を前記出力回路に出力する第1の入力信号変換回路部と、前記入力信号に基づいて第2の入力信号と同期して同方向に変化する前記第2の入力信号として前記出力回路に出力する第2の入力信号変換回路部とからなる。

20

【0017】請求項10に記載の発明は、請求項6に記載のレベルコンバータ回路において、前記入力信号変換回路は、前記第1の入力信号レベルを高電位側電源レベルに切り替える第1のカレントミラー回路と、前記第1の入力信号レベルを前記基準電圧レベルに切り替える第3のカレントミラー回路と、前記第1の入力信号レベルを前記第2の入力信号レベルに変化するまで維持する第1のラッチ回路と、第1のカレントミラー回路を活性状態又は非活性状態に切り替える第1のスイッチ回路と、第1のカレントミラー回路に対して第3のラッチ回路とから構成し、両カレントミラー回路の接続点から前記第1の入力信号を前記出力回路に出力する第1の入力信号変換回路部と、前記第1の入力信号に基づいて第2の入力信号と同期して同方向に変化する前記第2の入力信号として前記出力回路に出力する第2の入力信号変換回路部とからなる。

【0018】請求項11に記載の発明は、請求項1～5のいずれかに記載の出力回路を、その出力段に備えた。

請求項12に記載の発明は、請求項1～5のいずれかに

7

結する第2のインバータ回路とから構成した。

【0012】請求項5に記載の発明は、請求項2に記載の出力回路において、前記ソース電位制御回路は、前記出力信号の立ち上げ時においては、前記NMOSトランジスタのソース電位を低下させるタイミングを、前記PMOSトランジスタのソース電位を低下させるタイミングより早くし、前記出力信号の立ち下げ時には、前記NMOSトランジスタのソース電位を低下させるタイミングを、前記PMOSトランジスタのソース電位を低下させるタイミングより遅くした。

【0013】請求項6に記載の発明は、請求項3又は4に記載の出力回路と、入力信号を前記第1の入力信号と第2の入力信号と同期して同方向に変化する第2の入力信号に変換し、その変換した第1及び第2の入力信号を前記出力回路に出力する入力信号変換回路とを備えた。

【0014】請求項7に記載の発明は、請求項6に記載のレベルコンバータ回路において、前記入力信号変換回路は、高電位側電源と前記基準電圧レベルの電源との間に第1のカレントミラー回路と低電位側電源と前記基準電圧レベルの電源との間に第2のカレントミラー回路と低電位側電源と前記基準電圧レベルの電源との間に第3のカレントミラー回路とを直列に接続するとともに、前記第1のカレントミラー回路を活性状態又は非活性状態に切り替える第1のスイッチ回路と、第1のカレントミラー回路に対して第3のラッチ回路とから構成し、両カレントミラー回路の接続点から前記第1の入力信号を前記出力回路に出力する第1の入力信号変換回路部と、前記第1の入力信号に基づいて第2の入力信号と同期して同方向に変化する前記第2の入力信号として前記出力回路に出力する第2の入力信号変換回路部とからなる。

30

【0015】請求項8に記載の発明は、請求項6に記載のレベルコンバータ回路において、前記入力信号変換回路は、高電位側電源と前記基準電圧レベルの電源との間に第1及び第3のカレントミラー回路を直列に接続するとともに、前記第1のカレントミラー回路を活性状態又は非活性状態に切り替える第1のスイッチ回路と、第1のカレントミラー回路に対して第3のラッチ回路とから構成し、両カレントミラー回路の接続点から前記第1の入力信号を前記出力回路に出力する第1の入力信号変換回路部と、前記第1の入力信号に基づいて第2の入力信号と同期して同方向に変化する前記第2の入力信号として前記出力回路に出力する第2の入力信号変換回路部とからなる。

請求項12に記載の発明は、請求項1～5のいずれかに

50

を前記第2のカレントミラー回路に対して補補動作させ

14

Vddレベルになり、第2の入力番号in 2が中間電圧Vbレベルになり、上記したようにノードN1の電位が高電位側電源Vddレベルになり、ノードN2の電位が中間電圧Vbレベルになる。

【0040】ノードN1の電位が高電位側電源Vddレベルになり、前記PMOSTランジスタTPIのゲート・ソース間電圧が2.5ボルトとなるため、該トランジスタTPIがオンされる。又、ノードN2の電位が中間電圧Vbレベルになり、前記NMOSTランジスタTNIのゲート・ソース間電圧が0ボルトとなるため、該トランジスタTNIがオフされる。従って、出力回路10の出力番号outは、高電位側電源Vddレベルになる。

【0041】つまり、本実施の形態の出力回路10では、第1の入力番号in 1が中間電圧Vbレベルになり、第2の入力番号in 2が低電位側電源Vssレベルになり、その出力番号outが低電位側電源Vssレベルになり、第1の入力番号in 1が高電位側電源Vddレベルになり、第2の入力番号in 2が中間電圧Vbレベルになると、その出力番号outが高電位側電源Vddレベルになる。

20

【0042】しかも、この出力回路10では、各トランジスタTPI、TNIのゲートと、ソース・ドレインとの間において、その耐圧(2.5ボルト)を超える電圧を印加することなく、電源Vdd、Vssレベル(0~5ボルト)の範囲でフル振幅動作する出力番号outを出力することができる。尚、本実施の形態では、図3に示すように出力番号outの立ち上がり時に、第2の入力番号in 2の立ち上りを第1の入力番号in 1の立ち上りより早くし、ノードN2の電位を上昇させるタイミングをノードN1の電位を上昇させるタイミングより早くしている。又、出力番号outの立ち下がり時では、第2の入力番号in 2の立ち下りを第1の入力番号in 1の立ち下りより早くし、ノードN2の電位を下降させるタイミングをノードN1の電位を下降させるタイミングより早くしている。このようにすることで、ノードN1、N2間に各トランジスタTPI、TNIの耐圧を超える大きな電位差が生じないようにすることができ、PMOSTランジスタTPI及びNMOSTランジスタTNIの破壊が未然に防止される。

30

【0043】上記したように、本実施の形態では、以下に示す作用効果を得ることができる。

(1) 本実施の形態の出力回路10では、各トランジスタTPI、TNIのゲートと、ソース・ドレインの間において、その耐圧(2.5ボルト)を超える電圧を印加することなく、電源Vdd、Vssレベル(0~5ボルト)の範囲でフル振幅動作する出力番号outが出力される。つまり、この出力回路10では、各トランジスタTPI、TNIの耐圧を超える電位差が生じ、各トランジスタTPI、TNIの耐圧を超える電位の出力番号outを出力することができ、

40

【0038】ノードN1の電位が中間電圧Vbレベルになり、前記PMOSTランジスタTPIのゲート・ソース間電圧が0ボルトとなるため、該トランジスタTPIがオフされる。又、ノードN2の電位が低電位側電源Vssレベルになり、前記NMOSTランジスタTNIのゲート・ソース間電圧が2.5ボルトとなるため、該トランジスタTNIがオンされる。従って、出力回路10の出力番号outは、低電位側電源Vssレベルになる。

50

【0039】又、第1の入力番号in 1が高電位側電源

13

OSTランジスタTNIのソース、即ちノードN2には、前記第2のソースフォロワ回路13を構成するPMOSTランジスタTPIを介して、外部から低電位側電源Vss(0ボルト)が供給される。尚、本実施の形態では、各トランジスタTPI、TNIの耐圧は、それぞれ2.5ボルトとなる。そして、インバータ回路11の入力端子には、電源Vdd、Vssの中間レベルで一定の基準電圧としての中間電圧Vb(2.5ボルト)が供給される。この中間電圧Vbは、出力回路10と同レベルに格納される電位制御回路を構成する基準電圧発生回路としての電圧発生回路14にて生成される。

【0034】前記NMOSTランジスタTNIのゲートには、図3に示すように中間電圧Vbレベルと高電位側電源Vddレベルとの間で変化する第1の入力番号in 1が供給される。そして、この第1の入力番号in 1が中間電圧Vbレベルになると、NMOSTランジスタTNIのソース、即ち前記ノードN1の電位がほぼ中間電圧Vb(Vb-Vth)レベルになる。一方、第1の入力番号in 1が高電位側電源Vddレベルになると、前記ノードN1の電位がほぼ高電位側電源Vdd(Vdd-Vth)レベルになる。

【0035】前記PMOSTランジスタTPIのゲートには、図3に示すように低電位側電源Vssレベルと中間電圧Vbレベルとの間で変化する第2の入力番号in 2が供給される。そして、この第2の入力番号in 2が低電位側電源Vssレベルになると、PMOSTランジスタTPIのソース、即ち前記ノードN2の電位がほぼ低電位側電源Vss(Vss+Vth)レベルになる。一方、第2の入力番号in 2が中間電圧Vbレベルになると、前記ノードN2の電位がほぼ中間電圧Vb(Vb+Vth)レベルになる。

【0036】そして、出力回路10は、第1及び第2の入力番号in 1、in 2に基づいて、インバータ回路11の出力端子から電源Vdd、Vssレベルで変化する出力番号outが出力されるように構成されている。

【0037】このように構成された出力回路10は、図3に示すように動作する。即ち、第1の入力番号in 1が中間電圧Vbレベルになり、第2の入力番号in 2が低電位側電源Vssレベルになると、上記したようにノードN1の電位が中間電圧Vbレベルになり、ノードN2の電位が低電位側電源Vssレベルになる。

【0038】ノードN1の電位が中間電圧Vbレベルになり、前記PMOSTランジスタTPIのゲート・ソース間電圧が0ボルトとなるため、該トランジスタTPIがオフされる。又、ノードN2の電位が低電位側電源Vssレベルになり、前記NMOSTランジスタTNIのゲート・ソース間電圧が2.5ボルトとなるため、該トランジスタTNIがオンされる。従って、出力回路10の出力番号outは、低電位側電源Vssレベルになる。

50

【0039】又、第1の入力番号in 1が高電位側電源

12

ョット回路は、入力番号をワンショットパルス信号に変換し、第1及び第2のスイッチング回路を介して第1及び第2のカレントミラ回路を同期して所定時間だけ活性化させるとともに、第3及び第4のスイッチング回路を同期して所定時間だけ活性化させる。すると、第1の入力番号変換回路は、第1及び第3のカレントミラ回路のラッチ動作によって、入力番号が第1のラッチ回路のラッチ動作によって、高電位側電源Vddと基準電圧Vbとの間で変化する第1の入力番号を生成し、その入力番号を出力回路10に出力する。第2の入力番号変換回路は、第2及び第4のカレントミラ回路のラッチ動作によって、入力番号が第2のラッチ回路のラッチ動作によって、入力番号に基づいて変化する、基準電圧Vbと低電位側電源Vssとの間で変化する、第1の入力番号と低電位側電源Vssとの間で変化する第2の入力番号を生成し、その入力番号を出力回路10に出力する。

【0026】請求項8に記載の発明によれば、第1の入力番号変換回路は、入力番号に基づいて第1及び第3のカレントミラ回路を活性状態又は非活性状態に切り替えて、高電位側電源Vbと基準電圧Vbとの間で変化する第1の入力番号を生成し、その入力番号を出力回路10に出力する。第2の入力番号変換回路は、入力番号に基づいて第2及び第4のカレントミラ回路を活性状態又は非活性状態に切り替えて、基準電圧Vbと低電位側電源Vssとの間で変化する第2の入力番号を生成し、その入力番号を出力回路10に出力する。

【0027】請求項9に記載の発明によれば、第1の入力番号変換回路は、入力番号に基づいて第1及び第3のカレントミラ回路を活性状態又は非活性状態に切り替えて、高電位側電源Vbと基準電圧Vbとの間で変化する第1の入力番号を生成し、その入力番号を出力回路10に出力する。第2の入力番号変換回路は、入力番号に基づいて第2及び第4のカレントミラ回路を活性状態又は非活性状態に切り替えて、基準電圧Vbと低電位側電源Vssとの間で変化する第2の入力番号を生成し、その入力番号を出力回路10に出力する。

【0030】請求項12に記載の発明によれば、オペラント回路の出力部には請求項1~5のいずれかに記載の出力回路10が備えられているので、CMOSインバータ回路の両トランジスタの耐圧を上昇させることなく、各トランジスタの耐圧を超える電位の出力番号を出力することができる。

【0031】請求項12に記載の発明によれば、オペラント回路の出力部には請求項1~5のいずれかに記載の出力回路10が備えられているので、CMOSインバータ回路の両トランジスタの耐圧を上昇させることなく、各トランジスタの耐圧を超える電位の出力番号を出力することができる。

【0032】図2は、本実施の形態における出力回路10を示す。出力回路10は、PMOSTランジスタTPI及びNMOSTランジスタTNIとからなるCMOSインバータ回路11、電位制御回路を構成するソース電位制御回路としての第1及び第2のソースフォロワ回路12、13とから構成される。

【0033】PMOSTランジスタTPIのソース、即ちノードN1には、前記第1のソースフォロワ回路12を構成するNMOSTランジスタTNIを介して、外部から高電位側電源Vdd(5ボルト)が供給される。又、NM

11

トミラ回路を活性状態又は非活性状態に切り替えて、高電位側電源Vbと基準電圧Vbとの間で変化する第1の入力番号を生成し、その入力番号を出力回路10に出力する。第2の入力番号変換回路は、入力番号に基づいて第2のカレントミラ回路を活性状態又は非活性状態に切り替えて、基準電圧Vbと低電位側電源Vssとの間で変化する第1の入力番号を生成し、その入力番号を出力回路10に出力する。第2の入力番号変換回路は、入力番号に基づいて第2及び第4のカレントミラ回路を活性状態又は非活性状態に切り替えて、基準電圧Vbと低電位側電源Vssとの間で変化する第2の入力番号を生成し、その入力番号を出力回路10に出力する。

【0026】請求項8に記載の発明によれば、第1の入力番号変換回路は、入力番号に基づいて第1及び第3のカレントミラ回路を活性状態又は非活性状態に切り替えて、高電位側電源Vbと基準電圧Vbとの間で変化する第1の入力番号を生成し、その入力番号を出力回路10に出力する。第2の入力番号変換回路は、入力番号に基づいて第2及び第4のカレントミラ回路を活性状態又は非活性状態に切り替えて、基準電圧Vbと低電位側電源Vssとの間で変化する第2の入力番号を生成し、その入力番号を出力回路10に出力する。

【0027】請求項9に記載の発明によれば、第1の入力番号変換回路は、入力番号に基づいて第1及び第3のカレントミラ回路を活性状態又は非活性状態に切り替えて、高電位側電源Vbと基準電圧Vbとの間で変化する第1の入力番号を生成し、その入力番号を出力回路10に出力する。第2の入力番号変換回路は、入力番号に基づいて第2及び第4のカレントミラ回路を活性状態又は非活性状態に切り替えて、基準電圧Vbと低電位側電源Vssとの間で変化する第2の入力番号を生成し、その入力番号を出力回路10に出力する。

【0028】請求項10に記載の発明によれば、ワン

18

Vssレベルとの間で変化する入力信号in0が入力される。又、PMOSTランジスタTN4のゲートには中間電圧Vbが供給される。

【0063】PMOSTランジスタTP3、TP4はカレントミラー回路22を構成すべく、互いのゲートが接続されるとともに、そのゲートがPMOSTランジスタTP3のドレインに接続される。PMOSTランジスタTP4のソースには高電位側電源Vddが供給され、そのドレインには抵抗R1を介して中間電圧Vbが供給される。そして、PMOSTランジスタTP4のドレインと抵抗R1との間のノードN3は、前記出力回路10aを構成する第1のインバータ回路15の入力端子に接続される。つまり、ノードN3の電位が前記第1の入力信号in1として第1のインバータ回路15に入力される。

【0064】一方、NMOSTランジスタTN5のドレインにはPMOSTランジスタTP5を介して中間電圧Vbが供給され、そのソースには低電位側電源Vssが供給される。NMOSTランジスタTN5のゲートには前記入力信号in0が供給される。

【0065】PMOSTランジスタTP5、TP6はカレントミラー回路23を構成すべく、互いのゲートが接続されるとともに、そのゲートがPMOSTランジスタTP5のドレインに接続される。PMOSTランジスタTP6のソースには中間電圧Vbが供給され、そのドレインには抵抗R2を介して低電位側電源Vssが供給される。そして、PMOSTランジスタTP6のドレインと抵抗R2との間のノードN4は、前記出力回路10aを構成する第2のインバータ回路16の入力端子に接続される。つまり、ノードN4の電位が前記第2の入力信号in2として第2のインバータ回路16に入力される。

【0066】尚、本実施の形態では、抵抗R2の抵抗値が抵抗R1の抵抗値より小さくなるように設定され、PMOSTランジスタTP6のドレイン電流がPMOSTランジスタTP4のドレイン電流より小さくなるように設定されている。

【0067】このように構成されたレベルコンバータ回路20では、入力信号in0が中間電圧Vbレベルになり、NMOSTランジスタTN3、TN5がオンされる。このNMOSTランジスタTN4がオンされるとカレントミラー回路22が動作し、ノードN3にはPMOSTランジスタTP4を介して高電位側電源Vddが供給される。そして、ノードN3の電位、即ち第1の入力信号in1が高電位側電源Vddレベルになる。

【0068】又、NMOSTランジスタTN5のオンに基づいてカレントミラー回路23が動作し、ノードN4にはPMOSTランジスタTP6を介して中間電圧Vbが供給される。そして、ノードN4の電位、即ち第2の入力信号in2が中間電圧Vbレベルになる。

17

N1の電位を上昇させるタイミングより早くし、出力信号outの立ち上がり時において、ノードN2の電位を下降させるタイミングをノードN1の電位を下降させるタイミングより遅くしている。

【0057】即ち、本実施の形態では、出力信号outの立ち上がり時において、第2の入力信号in2の立ち下がり第1の入力信号in1の立ち下がりより早くし、出力信号outの立ち下がり時において、第2の入力信号in2の立ち上り第1の入力信号in1の立ち上りより遅くする。このようにすることで、ノードN1、N2間に各トランジスタTPI、TNIの耐圧を超える大きな電位差が生じないため、PMOSTランジスタTPI及びNMOSTランジスタTNIの破壊を未然に防止することができる。

【0058】上記したように、本実施の形態では、以下に示す作用効果を得ることができる。

(1) 本実施の形態の出力回路10aでは、第1の実施の形態と同様に、各トランジスタTPI、TNIのゲートと、ソース・ドレインとの間において、その耐圧(2.5ボルト)を超える電圧を印加することなく、電源Vdd、Vssレベル(0～5ボルト)の範囲でフル振幅動作する出力信号outが出力される。つまり、この出力回路10aでは、各トランジスタTPI、TNIの耐圧を超えることなく、各トランジスタTPI、TNIの耐圧を超える振幅の出力信号outを出力することができる。

【0059】(2) 本実施の形態では、前記第1及び第2のソースフォロフ回路12、13に代えて第1及び第2のインバータ回路15、16を使用しているため、ノードN1、N2の電位が各トランジスタTPI、TNIのしきい値Vth以下なり、或いは上昇することがない。従って、確実に出力信号outを電源Vdd、Vssレベルの範囲でフル振幅動作させることができる。

【0060】(第3の実施の形態) 以下、本発明を具体化した第3の実施の形態を図5に就いて説明する。尚、本実施の形態では、図4に示す第2の実施の形態の出力回路10aを本実施の形態におけるレベルコンバータ回路20の出力段に備えている。従って、第2の実施の形態と同様の構成については同一の符号を付して、その詳細な説明を省略する。

【0061】図5は、本実施の形態のレベルコンバータ回路20を示す。レベルコンバータ回路20は、入力回路21及び前記出力回路10aとから構成される。入力回路21は、PMOSTランジスタTP3～TP6、NMOSTランジスタTN3～TN5、及び抵抗R1、R2とからなる。

【0062】NMOSTランジスタTN3のドレインはNMOSTランジスタTN4及びPMOSTランジスタTP3を介して高電位側電源Vddに接続され、そのソースには低電位側電源Vssが供給される。NMOSTランジスタTN3のゲートには、中間電圧Vbレベルと低電位側電源Vssレベルとを有する出力信号outが出力される。

16

の入力信号in1、in2に基づいて、インバータ回路11の出力端子から電源Vdd、Vssレベルの範囲でフル振幅動作する出力信号outが出力されるように構成されている。

【0050】このように構成された出力回路10aでは、第1の入力信号in1が高電位側電源Vddレベルになり、第2の入力信号in2が中間電圧Vbレベルになると、上記したようにノードN1の電位が中間電圧Vbレベルになり、ノードN2の電位が低電位側電源Vssレベルになる。

【0051】ノードN1の電位が中間電圧Vbレベルになると、前記PMOSTランジスタTPIのゲート・ソース間電圧が0ボルトとなるため、該トランジスタTPIがオフされる。又、ノードN2の電位が低電位側電源Vssレベルになると、前記NMOSTランジスタTNIのゲート・ソース間電圧が2.5ボルトとなるため、該トランジスタTNIがオンされる。従って、出力回路10aの出力信号outは、低電位側電源Vssレベルになる。

【0052】又、第1の入力信号in1が中間電圧Vbレベルになり、第2の入力信号in2が低電位側電源Vssレベルになると、上記したようにノードN1の電位が高電位側電源Vddレベルになり、ノードN2の電位が中間電圧Vbレベルになる。

【0053】ノードN1の電位が高電位側電源Vddレベルになると、前記PMOSTランジスタTPIのゲート・ソース間電圧が2.5ボルトとなるため、該トランジスタTPIがオンされる。又、ノードN2の電位が中間電圧Vbレベルになると、前記NMOSTランジスタTNIのゲート・ソース間電圧が0ボルトとなるため、該トランジスタTNIがオフされる。従って、出力回路10aの出力信号outは、高電位側電源Vddレベルになる。

【0054】つまり、本実施の形態の出力回路10aでは、第1の入力信号in1が高電位側電源Vddレベルになり、第2の入力信号in2が中間電圧Vbレベルになると、その出力信号outが低電位側電源Vssレベルになり、第1の入力信号in1が中間電圧Vbレベルになり、第2の入力信号in2が低電位側電源Vssレベルになると、その出力信号outが高電位側電源Vddレベルになる。

【0055】しかも、この出力回路10aでは、各トランジスタTPI、TNIのゲートと、ソース・ドレインとの間において、その耐圧(2.5ボルト)を超える電圧を印加することなく、電源Vdd、Vssレベル(0～5ボルト)の範囲でフル振幅動作する出力信号outを出力することができる。

【0056】尚、本実施の形態においても前記第1の実施の形態と同様に、ノードN1、N2間に各トランジスタTPI、TNIの耐圧を超える大きな電位差が生じないようにするために、出力信号outの立ち上がり時において、ノードN2の電位を上昇させるタイミングをノード

15

【0044】(2) 本実施の形態では、図3に示すように出力信号outの立ち上がり時において、第2の入力信号in2の立ち上り第1の入力信号in1の立ち上りより早くし、ノードN2の電位を上昇させるタイミングをノードN1の電位を上昇させるタイミングより遅くする。又、出力信号outの立ち下がり時では、第2の入力信号in2の立ち下がり第1の入力信号in1の立ち下がりより遅くし、ノードN2の電位を下降させるタイミングをノードN1の電位を下降させるタイミングより遅くする。このようにすることで、ノードN1、N2間に各トランジスタTPI、TNIの耐圧を超える大きな電位差が生じないようにすることができる。

【0045】(第2の実施の形態) 以下、本発明を具体化した第2の実施の形態を図4に就いて説明する。尚、本実施の形態では、図2に示す第1の実施の形態と同様の構成については同一の符号を付して、その詳細な説明を省略する。

【0046】図4は、本実施の形態における出力回路10aを示す。本実施の形態の出力回路10aは、前記第1及び第2のソースフォロフ回路12、13が同じく電位制御回路を構成するソース電位制御回路としての第1及び第2のインバータ回路15、16に置換されている。即ち、ノードN1には第1のインバータ回路15の出力信号が出力され、ノードN2には第2のインバータ回路16の出力信号が出力される。

【0047】第1の出力信号outには、動作電源として高電位側電源Vdd及び中間電圧Vbレベルの電源が供給される。第1のインバータ回路15の入力端子には、高電位側電源Vddレベルと中間電圧Vbレベルとの間で変化する第1の入力信号in1が入力される。そして、この第1の入力信号in1が高電位側電源Vddレベルになると、第1のインバータ回路15の出力端子、即ち前記ノードN1の電位が中間電圧Vbレベルになる。一方、第1の入力信号in1が中間電圧Vbレベルになると、前記ノードN1の電位が高電位側電源Vddレベルになる。

【0048】第2のインバータ回路16には、動作電源として中間電圧Vbレベルの電源及び低電位側電源Vssが供給される。第2のインバータ回路16の入力端子には、中間電圧Vbレベルと低電位側電源Vssレベルとの間で変化する第2の入力信号in2が入力される。そして、この第2の入力信号in2が中間電圧Vbレベルになると、第2のインバータ回路16の出力端子、即ち前記ノードN2の電位が低電位側電源Vssレベルになる。一方、第2の入力信号in2が低電位側電源Vssレベルになると、前記ノードN2の電位が中間電圧Vbレベルになる。

【0049】そして、出力回路10aは、第1及び第2

10

20

タTNIの破壊を未然に防止することができる。

【0076】上記したように、本実施の形態では、以下【0076】に示す作用効果を得ることができる。

(1) 本実施の形態の出力回路10aでは、第2の実施の形態と同様に、各トランジスタTPI、TNIのゲートと、ソース・ドレインとの間において、その両圧(2.5ボルト)を超える電圧を印加することなく、電源V_{dd}、V_{ss}レベル(0～5ボルト)の範囲でフル振幅動作する出力信号 out が出力される。つまり、この出力回路10aでは、各トランジスタTPI、TNIの両圧を上げることなく、各トランジスタTPI、TNIの両圧を超える振幅の出力信号 out を出力することができる。

【0077】(2) しかも、中間電圧V_bレベルと低電位側電源V_{ss}レベルとの間で変化する1つの入力信号 i 、 n 0のみで、前記出力信号 out が出力される。従って、第2の実施の形態と比較して、入力する信号数を減らすことができるため、その信号線を少なくすることができる。

【0078】(第4の実施の形態) 以下、本発明を具体化した第4の実施の形態を図6に従って説明する。尚、本実施の形態では、図4に示す第2の実施の形態の出力回路10aを本実施の形態におけるレベルコンバータ回路20aの出力段に備えている。従って、第2の実施の形態と同様の構成については同一の符号を付して、その詳細な説明を省略する。

【0079】図6は、本実施の形態のレベルコンバータ回路20aを示す。レベルコンバータ回路20aは、入力回路21a及び前記出力回路10aとから構成される。入力回路21aは、PMOSTランジスタTPI₆～TPI₁₆及びNMOSTランジスタTNI₆～TNI₁₇とからなる。

【0080】PMOSTランジスタTPI₇及びNMOSTランジスタTNI₈は、CMOSインバータ回路24を構成している。インバータ回路24には、動作電源として中間電圧V_bレベルの電源と、低電位側電源V_{ss}が供給される。インバータ回路24の入力端子には、中間電圧V_bレベルと低電位側電源V_{ss}レベルとの間で変化する入力信号 i 、 n 0が入力される。インバータ回路24の出力端子は、次のCMOSインバータ回路25の入力端子に接続される。

【0081】前記インバータ回路25は、PMOSTランジスタTPI₈及びNMOSTランジスタTNI₇からなる。インバータ回路25には、動作電源として中間電圧V_bレベルの電源と、低電位側電源V_{ss}が供給される。インバータ回路25の出力端子は、NMOSTランジスタTNI₈のゲートに接続される。

【0082】NMOSTランジスタTNI₈のドレインはNMOSTランジスタTNI₉及びPMOSTランジスタTPI₉を介して高電位側電源V_{dd}に接続され、そのソースには低電位側電源V_{ss}が供給される。NMOSTランジスタ

50

21

TNI₉のゲートには中間電圧V_bが供給される。

【0083】PMOSTランジスタTPI₉、TPI₁₀はカレントミラー回路26を構成すべく、互いのゲートが接続されるとともに、そのゲートがPMOSTランジスタTPI₉のドレインに接続される。PMOSTランジスタTPI₁₀のソースには高電位側電源V_{dd}が供給され、そのドレインにはNMOSTランジスタTNI₁₀を介して中間電圧V_bが供給される。

【0084】NMOSTランジスタTNI₁₀、TNI₁₁はカレントミラー回路27を構成すべく、互いのゲートが接続されるとともに、そのゲートがNMOSTランジスタTNI₁₀のドレインに接続される。NMOSTランジスタTNI₁₁のソースには中間電圧V_bが供給され、そのドレインにはPMOSTランジスタTPI₁₁を介して高電位側電源V_{dd}が供給される。

【0085】PMOSTランジスタTPI₁₁、TPI₁₂はカレントミラー回路28を構成すべく、互いのゲートが接続されるとともに、そのゲートがPMOSTランジスタTPI₁₂のドレインに接続される。PMOSTランジスタTPI₁₂のソースには高電位側電源V_{dd}が供給され、そのドレインはNMOSTランジスタTNI₁₂、TNI₁₃を介して低電位側電源V_{ss}に接続される。NMOSTランジスタTNI₁₂のゲートには中間電圧V_bが供給される。又、NMOSTランジスタTNI₁₃のゲートには前記インバータ回路24の出力端子が接続される。

【0086】そして、前記PMOSTランジスタTPI₁₁及びNMOSTランジスタTNI₁₁のドレイン、即ちノードN5は、前記出力回路10aを構成する第1のインバータ回路15の入力端子に接続される。つまり、ノードN5の電位が前記第1の入力信号 i 、 n 1として第1のインバータ回路15に入力される。

【0087】一方、前記インバータ回路25の出力端子は、NMOSTランジスタTNI₁₄のゲートに接続される。NMOSTランジスタTNI₁₄のソースには低電位側電源V_{ss}が供給され、そのドレインにはPMOSTランジスタTPI₁₃を介して中間電圧V_bが供給される。

【0088】PMOSTランジスタTPI₁₃、TPI₁₄はカレントミラー回路29を構成すべく、互いのゲートが接続されるとともに、そのゲートがPMOSTランジスタTPI₁₃のドレインに接続される。PMOSTランジスタTPI₁₄のソースには中間電圧V_bが供給され、そのドレインにはNMOSTランジスタTNI₁₅を介して低電位側電源V_{ss}が供給される。

【0089】NMOSTランジスタTNI₁₅、TNI₁₆はカレントミラー回路30を構成すべく、互いのゲートが接続されるとともに、そのゲートがNMOSTランジスタTNI₁₅のドレインに接続される。NMOSTランジスタTNI₁₆のソースには低電位側電源V_{ss}が供給され、そのドレインにはPMOSTランジスタTPI₁₅を介して中間電圧V_bが供給される。

50

22

【0090】PMOSTランジスタTPI₁₅、TPI₁₆はカレントミラー回路31を構成すべく、互いのゲートが接続されるとともに、そのゲートがPMOSTランジスタTPI₁₆のドレインに接続される。PMOSTランジスタTPI₁₆のソースには中間電圧V_bが供給され、そのドレインにはNMOSTランジスタTNI₁₇を介して低電位側電源V_{ss}が供給される。NMOSTランジスタTNI₁₇のゲートには前記インバータ回路24の出力端子が接続される。

【0091】そして、前記PMOSTランジスタTPI₁₅及びNMOSTランジスタTNI₁₆のドレイン、即ちノードN6は、前記出力回路10aを構成する第2のインバータ回路16の入力端子に接続される。つまり、ノードN6の電位が前記第2の入力信号 i 、 n 2として第2のインバータ回路16に入力される。

【0092】尚、本実施の形態では、NMOSTランジスタTNI₁₆のドレイン電流がNMOSTランジスタTNI₁₇のドレイン電流より大きくなるように設定され、PMOSTランジスタTPI₁₅のドレイン電流がPMOSTランジスタTPI₁₁のドレイン電流より小さくなるように設定される。

【0093】このように構成されたレベルコンバータ回路20aでは、入力信号 i 、 n 0が低電位側電源V_{ss}レベルになると、1段目のインバータ回路24の出力信号が中間電圧V_bレベルになり、2段目のインバータ回路25の出力信号が低電位側電源V_{ss}レベルになる。

【0094】1段目のインバータ回路24の出力信号が中間電圧V_bレベルになると、NMOSTランジスタTNI₁₃がオンされる。すると、NMOSTランジスタTNI₁₂のソース電位が下降し、該ランジスタTNI₁₂がオンされる。このNMOSTランジスタTNI₁₂がオンされると、カレントミラー回路28が動作する。

【0095】2段目のインバータ回路25の出力信号が低電位側電源V_{ss}レベルになると、NMOSTランジスタTNI₁₄がオフされる。すると、NMOSTランジスタTNI₁₃がオフされ、カレントミラー回路26が非動作状態となる。そのため、カレントミラー回路27も同様に非動作状態になる。

【0096】従って、ノードN5にはPMOSTランジスタTPI₁₁を介して高電位側電源V_{dd}が供給され、そのノードN5の電位が高電位側電源V_{dd}レベル近傍まで上昇する。つまり、第1の入力信号 i 、 n 1が高電位側電源V_{dd}レベルになる。

【0097】又、1段目のインバータ回路24の出力信号が中間電圧V_bレベルになると、NMOSTランジスタTNI₁₇がオンされる。このNMOSTランジスタTNI₁₇がオンされると、カレントミラー回路31が動作する。

【0098】2段目のインバータ回路25の出力信号が低電位側電源V_{ss}レベルになると、NMOSTランジスタ

50

23

【0108】こうして、第1の入力信号in1が中間電圧Vbレベルになり、第2の入力信号in2が低電位側電源Vssレベルになると、前記出力回路10aは第2の実施の形態と同様に動作し、その出力信号outは高電位側電源Vddレベルになる。

【0099】従って、ノードN6にはPMOSTランジスタTP5を介して中間電圧Vbが供給され、そのノードN6の電位が中間電圧Vbレベル近傍まで上昇する。つまり、第2の入力信号in2が中間電圧Vbレベルになる。

【0100】こうして、第1の入力信号in1が高電位側電源Vddレベルになり、第2の入力信号in2が中間電圧Vbレベルになると、前記出力回路10aは第2の実施の形態と同様に動作し、その出力信号outは低電位側電源Vssレベルになる。

【0101】一方、入力信号in0が中間電圧Vbレベルになると、1段目のインバータ回路24の出力信号が低電位側電源Vssレベルになり、2段目のインバータ回路25の出力信号が中間電圧Vbレベルになる。

【0102】1段目のインバータ回路24の出力信号が低電位側電源Vssレベルになると、NMOSTランジスタTN2がオフされる。すると、NMOSTランジスタTN2がオフされ、カレントミラー回路28が非動作状態となる。

【0103】2段目のインバータ回路25の出力信号が中間電圧Vbレベルになると、NMOSTランジスタTN3がオンされる。すると、NMOSTランジスタTN3のソース電位が下降し、該トランジスタTN3がオンされ、このNMOSTランジスタTN3がオンされるとカレントミラー回路26が動作し、該回路26の動作に連動してカレントミラー回路27が動作する。

【0104】従って、ノードN5の電荷がNMOSTランジスタTN1を介して放出され、そのノードN5の電位が中間電圧Vbレベル近傍まで下降する。つまり、第1の入力信号in1が中間電圧Vbレベルになる。

【0105】又、1段目のインバータ回路24の出力信号が低電位側電源Vssレベルになると、NMOSTランジスタTN17がオフされる。このNMOSTランジスタTN17がオフされると、カレントミラー回路31が非動作状態となる。

【0106】2段目のインバータ回路25の出力信号が中間電圧Vbレベルになると、NMOSTランジスタTN4がオンされる。このNMOSTランジスタTN4がオンされるとカレントミラー回路29が動作し、該回路29の動作に連動してカレントミラー回路30が動作する。

【0107】従って、ノードN6の電荷がNMOSTランジスタTN6を介して放出され、そのノードN6の電位が低電位側電源Vssレベル近傍まで下降する。つまり、第2の入力信号in2が低電位側電源Vssレベルになり、第2の実施の形態と比較して、入力する信号数を減らす

50

24

【0108】こうして、第1の入力信号in1が中間電圧Vbレベルになり、第2の入力信号in2が低電位側電源Vssレベルになると、前記出力回路10aは第2の実施の形態と同様に動作し、その出力信号outは高電位側電源Vddレベルになる。

【0109】つまり、本実施の形態のレベルコンバータ回路20aでは、入力信号in0が低電位側電源Vssレベルになると、その出力信号outが低電位側電源Vssレベルになり、入力信号in0が中間電圧Vbレベルになると、その出力信号outが高電位側電源Vddレベルになる。

【0110】しかも、この出力回路10aでは、前記第2の実施の形態と同様に、各トランジスタTPI、TNIのゲートと、ソース・ドレインとの間において、その耐圧(2.5ボルト)を超える電圧を印加することなく、電源Vdd、Vssレベル(0～5ボルト)の範囲でフル振幅動作する出力信号outを出力することができる。

【0111】又、上記したように、NMOSTランジスタTN6のドレイン電流がNMOSTランジスタTN11のドレイン電流より大きくなるように設定されているため、出力信号outの立ち上がり時に、第2の入力信号in2の立ち下がり第1の入力信号in1の立ち下がりより早くなる。つまり、ノードN2の電位の上昇するタイミングがノードN1の電位の上昇するタイミングより早くなる。又、PMOSTランジスタTP15のドレイン電流がPMOSTランジスタTP11のドレイン電流より小さくなるように設定されているため、出力信号outの立ち下がり時に、第2の入力信号in2の立ち上がり第1の入力信号in1の立ち上がりより速くなる。つまり、ノードN2の電位の下降するタイミングがノードN1の電位の下降するタイミングより速くなる。そのため、ノードN1、N2間に各トランジスタTPI、TNIの耐圧を超える大きな電位差が生じないため、PMOSTランジスタTPI及びNMOSTランジスタTNIの破壊を未然に防止することができる。

【0112】上記したように、本実施の形態では、以下に示す作用効果を得ることができる。
(1) 本実施の形態の出力回路10aでは、第2の実施の形態と同様に、各トランジスタTPI、TNIのゲートと、ソース・ドレインとの間において、その耐圧(2.5ボルト)を超える電圧を印加することなく、電源Vdd、Vssレベル(0～5ボルト)の範囲でフル振幅動作する出力信号outが出力される。つまり、この出力回路10aでは、各トランジスタTPI、TNIの耐圧を超えることなく、各トランジスタTPI、TNIの耐圧を超える振幅の出力信号outを出力することができる。

【0113】(2) しかも、中間電圧Vbレベルと低電位側電源Vssレベルの間で変化して入力信号in0のみで、前記出力信号outが出力される。従って、前記第2の実施の形態と比較して、入力する信号数を減らす

50

25

ことができるため、その信号線を少なくすることができ

【0114】(3) 又、前記第3の実施の形態と比較して、ノードN5、N6の電荷の放電を各トランジスタTN11、TN16を介して行うため、その放電にかかる時間を短縮することができる。従って、本実施の形態では、前記第3の実施の形態と比較して、高速動作させることができる。

【0115】(第5の実施の形態) 以下、本発明を具体化した第5の実施の形態を図7に従って説明する。尚、本実施の形態では、図6に示す第4の実施の形態と同様の構成については同一の符号を付して、その詳細な説明を省略する。

【0116】図7は、本実施の形態のレベルコンバータ回路20bを示す。本実施の形態のレベルコンバータ回路20bは、前記第4の実施の形態のレベルコンバータ回路20aからPMOSTランジスタTP3～TP16及びNMOSTランジスタTN14～TN17を省略したものである。そして、前記レベルコンバータ回路20aにおいて、1段目のインバータ回路24の出力端子と、第2のインバータ回路16の入力端子、即ちノードN6の電位の变化が同じであるため、本実施の形態では、そのノードN6にインバータ回路16の出力端子が接続される。つまり、本実施の形態では、インバータ回路24の出力信号を前記第2の入力信号in2として、

【0117】このようにしても、本実施の形態のレベルコンバータ回路20bでは、前記第4の実施の形態と同様に動作する。つまり、入力信号in0が低電位側電源Vssレベルになると、その出力信号outが低電位側電源Vssレベルになり、入力信号in0が中間電圧Vbレベルになると、その出力信号outが高電位側電源Vddレベルになる。

【0118】しかも、この出力回路10aでは、前記第2の実施の形態と同様に、各トランジスタTPI、TNIのゲートと、ソース・ドレインとの間において、その耐圧(2.5ボルト)を超える電圧を印加することなく、電源Vdd、Vssレベル(0～5ボルト)の範囲でフル振幅動作する出力信号outを出力することができる。

【0119】上記したように、本実施の形態では、以下に示す作用効果を得ることができる。
(1) 本実施の形態の出力回路10aでは、第2の実施の形態と同様に、各トランジスタTPI、TNIのゲートと、ソース・ドレインとの間において、その耐圧(2.5ボルト)を超える電圧を印加することなく、電源Vdd、Vssレベル(0～5ボルト)の範囲でフル振幅動作する出力信号outが出力される。つまり、この出力回路10aでは、各トランジスタTPI、TNIの耐圧を超えることなく、各トランジスタTPI、TNIの耐圧を超える振幅の出力信号outを出力することができる。

【0120】(2) しかも、中間電圧Vbレベルと低電

50

26

位側電源Vssレベルとの間で変化して入力信号in0のみで、前記出力信号outが出力される。従って、前記第2の実施の形態と比較して、入力する信号数を減らすことができるため、その信号線を少なくすることができ

【0121】(3) 又、本実施の形態のレベルコンバータ回路20bは、前記第4の実施の形態のレベルコンバータ回路20aからPMOSTランジスタTP3～TP16及びNMOSTランジスタTN14～TN17を省略したものである。従って、回路構成を簡略化することができる。

【0122】(第6の実施の形態) 以下、本発明を具体化した第6の実施の形態を図8に従って説明する。尚、本実施の形態では、図4に示す第2の実施の形態の出力回路10aを本実施の形態におけるレベルコンバータ回路20cの出力段に備えている。従って、第2の実施の形態と同様の構成については同一の符号を付して、その詳細な説明を省略する。

【0123】図8は、本実施の形態のレベルコンバータ回路20cを示す。レベルコンバータ回路20cは、入力回路21c及び前記出力回路10aとから構成される。入力回路21cは、インバータ回路3～36、AND回路37、NOR回路38、抵抗及び容量よりなる構成回路39、PMOSTランジスタTP17～TP24及びNMOSTランジスタTN18～TN23とからなる。

【0124】AND回路37の一方の入力端子には中間電圧Vbレベルと低電位側電源Vssレベルとの間で変化する入力信号in0が入力され、他方の入力端子にはインバータ回路32及び構成回路39を介して入力信号in0が入力される。このインバータ回路32と構成回路39によって、遅延回路40が構成されている。又、AND回路37の各入力端子、即ちノードN7、N8には、NOR回路38の入力端子がそれぞれ接続される。尚、インバータ回路32、AND回路37及びNOR回路38には、動作電源として中間電圧Vbレベルの電源と、低電位側電源Vssがそれぞれ供給される。

【0125】AND回路37の出力端子は、NMOSTランジスタTN18のゲートに接続される。NMOSTランジスタTN18のドレインはNMOSTランジスタTN19及びPMOSTランジスタTP17を介して高電位側電源Vddに接続され、そのソースには低電位側電源Vssが供給される。NMOSTランジスタTN19のゲートには中間電圧Vbが供給される。

【0126】PMOSTランジスタTP17、TP18はカレントミラー回路41を構成すべく、互いのゲートが接続されるとともに、そのゲートがPMOSTランジスタTP17のドレインに接続される。PMOSTランジスタTP18のソースには高電位側電源Vddが供給され、そのドレインはインバータ回路33の入力端子に接続される。

50

28

のドレインとインバータ回路35の出力端子との間のノードN10は、前記出力回路10aを構成する第2のインバータ回路16の入力端子に接続される。つまり、ノードN10の電位が前記第2の入力端子in2として第2のインバータ回路16に入力される。

【0134】このように構成されたレベルコンバータ回路20cでは、入力番号in0が低電位側電源Vssレベルになると、ノードN7の電位は直ちに低電位側電源Vssレベルになり、ノードN8の電位は遅延回路40によって所定時間経過後に低電位側電源Vssレベルに中間電圧Vbレベルになる。つまり、AND回路37の出力番号が低電位側電源Vssレベルになり、NOR回路38の出力番号が中間電圧Vbレベルから所定時間経過後に低電位側電源Vssレベルになる。

【0135】AND回路37の出力番号が低電位側電源Vssレベルになると、NMOSTランジスタTN8がオフされる。すると、NMOSTランジスタTN9がオフされ、カレントミラー回路41が非動作状態になる。

【0136】NOR回路38の出力番号が中間電圧Vbレベルになると、NMOSTランジスタTN21がオンされる。すると、NMOSTランジスタTN20のソース電位が下がり、該トランジスタTN20がオンされる。このNMOSTランジスタTN20がオンされると、カレントミラー回路43が動作する。

【0137】すると、ノードN9にはPMOSTランジスタTP19を介して高電位側電源Vddが供給され、そのノードN9の電位が高電位側電源Vddレベルに近接して上昇する。つまり、第1の入力番号in1が高電位側電源Vddレベルになる。このとき、ノードN9の電位が高電位側電源Vddレベルになると、ラッチ回路42にその電位が保持される。

【0138】そして、所定時間経過後にNOR回路38の出力番号が低電位側電源Vssレベルになると、NMOSTランジスタTN21がオフされる。すると、NMOSTランジスタTN20がオフされ、カレントミラー回路43が非動作状態となる。このとき、カレントミラー回路43が非動作状態となるが、ノードN9の電位はラッチ回路42にて高電位側電源Vddレベルに保持される。従って、入力番号in0が低電位側電源Vssレベルになると、第1の入力番号in1が高電位側電源Vddレベルになる。

【0139】又、AND回路37の出力番号が低電位側電源Vssレベルになると、NMOSTランジスタTN22がオフされる。このNMOSTランジスタTN22がオフされると、カレントミラー回路44が非動作状態となる。

【0140】NOR回路38の出力番号が中間電圧Vbレベルになると、NMOSTランジスタTN23がオンされる。このNMOSTランジスタTN23がオンされると、カレントミラー回路46が動作する。

27

【0127】インバータ回路33、34はラッチ回路42を構成している。このインバータ回路33、34には、動作電源として高電位側電源Vddと、中間電圧Vbレベルの電源が供給される。インバータ回路33の出力端子は、PMOSTランジスタTP19のドレインに接続される。PMOSTランジスタTP19のソースには高電位側電源Vddが供給される。

【0128】PMOSTランジスタTP19、TP20はカレントミラー回路43を構成すべく、互いのゲートが接続されるとともに、そのゲートがPMOSTランジスタTP20のドレインに接続される。PMOSTランジスタTP20のソースには高電位側電源Vddが供給され、そのドレインはNMOSTランジスタTN20、TN21を介して低電位側電源Vssに接続される。NMOSTランジスタTN20のゲートには中間電圧Vbが供給される。又、NMOSTランジスタTN21のゲートには前記NOR回路38の出力端子が接続される。

【0129】そして、前記PMOSTランジスタTP19のドレインとインバータ回路33の出力端子との間のノードN9は、前記出力回路10aを構成する第1のインバータ回路15の入力端子に接続される。つまり、ノードN9の電位が前記第1の入力番号in1として第1のインバータ回路15に入力される。

【0130】一方、前記AND回路37の出力端子は、NMOSTランジスタTN22のゲートに接続される。NMOSTランジスタTN22のドレインにはPMOSTランジスタTP21を介して中間電圧Vbが供給され、そのソースには低電位側電源Vssが供給される。

【0131】PMOSTランジスタTP21、TP22はカレントミラー回路44を構成すべく、互いのゲートが接続されるとともに、そのゲートがPMOSTランジスタTP22のドレインに接続される。PMOSTランジスタTP22のソースには中間電圧Vbが供給され、そのドレインはインバータ回路35の入力端子に接続される。インバータ回路35、36はラッチ回路45を構成している。このインバータ回路35、36には、動作電源として中間電圧Vbレベルの電源と、低電位側電源Vssが供給される。インバータ回路35の出力端子は、PMOSTランジスタTP23のドレインに接続される。PMOSTランジスタTP23のソースには高電位側電源Vddが供給される。

【0132】PMOSTランジスタTP23、TP24はカレントミラー回路46を構成すべく、互いのゲートが接続されるとともに、そのゲートがPMOSTランジスタTP24のドレインに接続される。PMOSTランジスタTP24のソースには中間電圧Vbが供給され、そのドレインにはNMOSTランジスタTN24を介して低電位側電源Vssが供給される。NMOSTランジスタTN24のゲートには中間電圧Vbが供給される。

【0133】そして、前記PMOSTランジスタTP23

30

レベル近接まで上昇する。つまり、ノードN9の電位、即ち第1の入力番号in1が中間電圧Vbレベルになる。このとき、ラッチ回路42によって、ノードN9の電位が中間電圧Vbレベルに保持される。

【0149】そして、所定時間経過後にAND回路37の出力番号が低電位側電源Vssレベルになると、NMOSTランジスタTN18がオフされる。すると、NMOSTランジスタTN19がオフされ、カレントミラー回路41が非動作状態となる。このとき、カレントミラー回路41が非動作状態となるが、ノードN9の電位はラッチ回路42にて中間電圧Vbレベルに保持される。従って、入力番号in0が中間電圧Vbになると、第1の入力番号in1が中間電圧Vbレベルになる。

【0150】又、NOR回路38の出力番号が低電位側電源Vssレベルになると、NMOSTランジスタTN23がオフされる。このNMOSTランジスタTN23がオフされると、カレントミラー回路46が非動作状態となる。

【0151】AND回路37の出力番号が中間電圧Vbレベルになると、NMOSTランジスタTN22がオンされる。このNMOSTランジスタTN22がオンされると、カレントミラー回路44が動作する。

【0152】すると、インバータ回路35の入力端子にはPMOSTランジスタTP22を介して中間電圧Vbが供給され、その入力端子の電位が中間電圧Vbレベルに近接して上昇する。つまり、ノードN10の電位、即ち第2の入力番号in2が低電位側電源Vssレベルになる。このとき、ラッチ回路45によって、ノードN10の電位が低電位側電源Vssレベルに保持される。

【0153】そして、所定時間経過後にAND回路37の出力番号が低電位側電源Vssレベルになると、NMOSTランジスタTN22がオフされる。このNMOSTランジスタTN22がオフされると、カレントミラー回路44が非動作状態となる。このとき、カレントミラー回路44が非動作状態となるが、ノードN10の電位はラッチ回路45にて低電位側電源Vssレベルに保持される。従って、入力番号in0が低電位側電源Vssレベルになると、第2の入力番号in2が低電位側電源Vssレベルになる。

【0154】又、このとき、本実施の形態では、入力番号in0が中間電圧Vbレベルになると、AND回路37と遅延回路40によって、その入力番号in0が中間電圧Vbレベルから所定時間経過後に低電位側電源Vssレベルになるワンショットパルス信号に変換される。そのため、NMOSTランジスタTN18、TN22のオン時間が短くなるので、該トランジスタTN18、TN22を流れる貫通電流を小さく抑えることができる。

【0155】こうして、第1の入力番号in1が中間電圧Vbレベルになり、第2の入力番号in2が低電位側電源Vssレベルになると、前記出力回路10aは第2の

29

【0141】すると、ノードN10にはPMOSTランジスタTP23を介して中間電圧Vbが供給され、そのノードN10の電位が中間電圧Vbレベルに近接して上昇する。つまり、第2の入力番号in2が中間電圧Vbレベルになる。このとき、ラッチ回路45によって、ノードN10の電位が中間電圧Vbレベルに保持される。

【0142】そして、所定時間経過後にNOR回路38の出力番号が低電位側電源Vssレベルになると、NMOSTランジスタTN23がオフされる。このNMOSTランジスタTN23がオフされると、カレントミラー回路46が非動作状態となる。このとき、カレントミラー回路46が非動作状態となるが、ノードN10の電位はラッチ回路45にて中間電圧Vbレベルに保持される。従って、入力番号in0が低電位側電源Vssレベルになると、第2の入力番号in2が中間電圧Vbレベルになる。

【0143】又、このとき、本実施の形態では、入力番号in0が低電位側電源Vssレベルになると、NOR回路38と遅延回路40によって、その入力番号in0が中間電圧Vbレベルから所定時間経過後に低電位側電源Vssレベルになるワンショットパルス信号に変換される。そのため、NMOSTランジスタTN21、TN23のオン時間が短くなるので、該トランジスタTN21、TN23を流れる貫通電流を小さく抑えることができる。

【0144】こうして、第1の入力番号in1が高電位側電源Vddレベルになり、第2の入力番号in2が中間電圧Vbレベルになると、前記出力回路10aは第2の電位の形態と同様に動作し、その出力番号outは低電位側電源Vssレベルになる。

【0145】一方、入力番号in0が中間電圧Vbレベルになると、ノードN7の電位は直ちに中間電圧Vbレベルになり、ノードN8の電位は遅延回路40によって所定時間経過後に中間電圧Vbレベルから低電位側電源Vssレベルになる。つまり、AND回路37の出力番号が中間電圧Vbレベルから所定時間経過後に低電位側電源Vssレベルになり、NOR回路38の出力番号が低電位側電源Vssレベルになる。

【0146】NOR回路38の出力番号が低電位側電源Vssレベルになると、NMOSTランジスタTN21がオフされる。すると、NMOSTランジスタTN20がオフされ、カレントミラー回路43が非動作状態になる。

【0147】AND回路37の出力番号が中間電圧Vbレベルになると、NMOSTランジスタTN18がオンされる。すると、NMOSTランジスタTN19のソース電位が下がり、該トランジスタTN19がオンされる。このNMOSTランジスタTN19がオンされると、カレントミラー回路41が動作する。

【0148】すると、インバータ回路33の入力端子にはPMOSTランジスタTP19を介して高電位側電源Vddが供給され、その入力端子の電位が高電位側電源Vdd

し、NAND回路50の出力信号outは高電位側電源Vddレベルになる。

【0174】つまり、本実施の形態のNAND回路50では、前記入力信号in11、in12がともに中間電圧Vbレベルになると、その出力信号outが低電位側電源Vssレベルになり、前記入力信号in11、in12の内少なくとも一方が低電位側電源Vssレベルになると、その出力信号outが高電位側電源Vddレベルになる。

【0175】しかも、この出力回路10では、各トランジスタTPI、TNIのゲートと、ソース・ドレインとの間に、その耐圧(2.5ボルト)を超える電圧を印加することなく、電源Vdd、Vssレベル(0～5ボルト)の範囲でフル振幅動作する出力信号outを出力することができる。

【0176】上記したように、本実施の形態では、以下に示す作用効果を得ることができる。

(1) 本実施の形態の出力回路10では、第2の実施の形態と同様に、各トランジスタTPI、TNIのゲートと、ソース・ドレインとの間に、その耐圧(2.5ボルト)を超える電圧を印加することなく、電源Vdd、Vssレベル(0～5ボルト)の範囲でフル振幅動作する出力信号outが出力される。つまり、この出力回路10では、各トランジスタTPI、TNIの耐圧を上げることなく、各トランジスタTPI、TNIの耐圧を超えることなく、各トランジスタTPI、TNIの耐圧を超えることなく、振幅の出力信号outを出力することができる。

【0177】(第8の実施の形態)以下、本発明を具体化した第8の実施の形態を図10に従って説明する。尚、本実施の形態では、図4に示す第2の実施の形態の出力回路10を本実施の形態におけるオペアンプ回路60の出力段に備えている。従って、第2の実施の形態と同様の構成については同一の符号を付して、その詳細な説明を省略する。

【0178】図10は、本実施の形態のオペアンプ回路60を示す。オペアンプ回路60は、入力回路61及び前記出力回路10とから構成される。入力回路61は、PMOSトランジスタTP25、TP26、NMOSトランジスタTN24～TN28、及び抵抗R3～R5とからなる。

【0179】NMOSトランジスタTN24、TN25は互いのソースが接続されるとともに、そのソースにはNMOSトランジスタTN26を介して低電位側電源Vssが供給される。NMOSトランジスタTN26、TN27はカレントミラー回路62を構成すべく、互いのゲートが接続されるとともに、そのゲートがNMOSトランジスタTN27のゲートに接続される。NMOSトランジスタTN27のドレインには抵抗R3を介して高電位側電源Vddが供給され、そのソースには低電位側電源Vssが供給される。そして、NMOSトランジスタTN26、TN27及び抵抗R3は定電流源を構成している。

50 抵抗R3は定電流源を構成している。

1. in12がレベルシフト用の電源53、54によって高電位側電源Vddレベルの信号にシフトされ、そのシフトされた信号が第1のNAND回路51に入力される。又、第2のNAND回路52には、中間電圧Vbレベルの前記入力信号in11、in12が入力される。【0169】すると、第1のNAND回路51の出力信号、即ちノードN1の電位が中間電圧Vbレベルになり、第2のNAND回路52の出力信号、即ちノードN2の電位が低電位側電源Vssレベルになる。ここで、ノードN1の電位が中間電圧Vbレベルになり、ノードN2の電位が低電位側電源Vssレベルになると、CMOSインバータ回路11は第2の実施の形態と同様に動作し、NAND回路50の出力信号outは低電位側電源Vssレベルになる。

【0170】又、前記入力信号in11が中間電圧Vbレベルになり、前記入力信号in12が低電位側電源Vssレベルになると、レベルシフト用の電源53、54によって、入力信号in11が高電位側電源Vddレベルの信号にシフトされ、入力信号in12が中間電圧Vbレベルの信号にシフトされる。そして、そのシフトされた信号がそれぞれ第1のNAND回路51に入力される。又、第2のNAND回路52には、中間電圧Vbレベルの入力信号in11と、低電位側電源Vssレベルの入力信号in12が入力される。

【0171】すると、第1のNAND回路51の出力信号、即ちノードN1の電位が高電位側電源Vddレベルになり、第2のNAND回路52の出力信号、即ちノードN2の電位が中間電圧Vbレベルになる。こうして、ノードN1の電位が高電位側電源Vddレベルになり、ノードN2の電位が中間電圧Vbレベルになると、CMOSインバータ回路11は第2の実施の形態と同様に動作し、NAND回路50の出力信号outは高電位側電源Vddレベルになる。

【0172】又、前記入力信号in11が低電位側電源Vssレベルになり、前記入力信号in12が中間電圧Vbレベルになると、レベルシフト用の電源53、54によって、入力信号in11が中間電圧Vbレベルの信号にシフトされ、入力信号in12が高電位側電源Vddレベルの信号にシフトされる。そして、そのシフトされた信号がそれぞれ第1のNAND回路51に入力される。又、第2のNAND回路52には、低電位側電源Vssレベルの入力信号in11と、中間電圧Vbレベルの入力信号in12が入力される。

【0173】すると、第1のNAND回路51の出力信号、即ちノードN1の電位が高電位側電源Vddレベルになり、第2のNAND回路52の出力信号、即ちノードN2の電位が中間電圧Vbレベルになる。こうして、ノードN1の電位が高電位側電源Vddレベルになり、ノードN2の電位が中間電圧Vbレベルになると、CMOSインバータ回路11は第2の実施の形態と同様に動作し、NAND回路50の出力信号outは高電位側電源Vddレベルになる。

50 抵抗R3は定電流源を構成している。

化した第7の実施の形態を図9に従って説明する。尚、本実施の形態では、図4に示す第2の実施の形態と同様の構成については同一の符号を付して、その詳細な説明を省略する。

【0162】図9は、本実施の形態におけるNAND回路50を示す。NAND回路50の出力段に備えられる出力回路10は、第2の実施の形態の出力回路10aに対して、第1及び第2のインバータ回路15、16が第1及び第2のNAND回路51、52に接続されている。即ち、ノードN1には第1のNAND回路51の出力信号が出力され、ノードN2には第2のNAND回路52の出力信号が出力される。

【0163】第1のNAND回路51には、動作電源として高電位側電源Vdd及び中間電圧Vbレベルの電源が供給される。第1のNAND回路51の一方の入力端子にはレベルシフト用の電源53を介して入力信号in11が入力され、その他方の入力端子にはレベルシフト用の電源54を介して入力信号in12が入力される。

【0164】前記入力信号in11、in12は、低電位側電源Vssレベルと中間電圧Vbレベルとの間で変化する信号である。そして、レベルシフト用の電源53、54は、低電位側電源Vssレベルと中間電圧Vbレベルとの間で変化する入力信号in11、in12を中間電圧Vbレベルと高電位側電源Vddレベルとの間で変化する信号にシフトし、そのシフトした信号を第1のNAND回路51に出力する。

【0165】第2のNAND回路52には、動作電源として中間電圧Vbレベルの電源及び低電位側電源Vssが供給される。第2のNAND回路52の一方の入力端子には前記入力信号in11が入力され、その他方の入力端子には前記入力信号in12が入力される。このように構成された出力回路10bでは、前記入力信号in11、in12がともに低電位側電源Vssレベルになると、前記入力信号in11、in12がレベルシフト用の電源53、54によって中間電圧Vbレベルの信号にシフトされ、そのシフトされた信号が第1のNAND回路51に入力される。又、第2のNAND回路52には、低電位側電源Vssレベルの前記入力信号in11、in12が入力される。

【0167】すると、第1のNAND回路51の出力信号、即ちノードN1の電位が高電位側電源Vddレベルになり、第2のNAND回路52の出力信号、即ちノードN2の電位が中間電圧Vbレベルになる。こうして、ノードN1の電位が高電位側電源Vddレベルになり、ノードN2の電位が中間電圧Vbレベルになると、CMOSインバータ回路11は第2の実施の形態と同様に動作し、NAND回路50の出力信号outは高電位側電源Vddレベルになる。

【0168】又、前記入力信号in11、in12がともに中間電圧Vbレベルになると、前記入力信号in11、in12がともに低電位側電源Vssレベルになると、前記入力信号in11、in12がレベルシフト用の電源53、54によって中間電圧Vbレベルの信号にシフトされ、そのシフトされた信号が第1のNAND回路51に入力される。又、第2のNAND回路52には、低電位側電源Vssレベルの前記入力信号in11、in12が入力される。

50 抵抗R3は定電流源を構成している。

実施の形態と同様に動作し、その出力信号outは高電位側電源Vddレベルになる。

【0156】つまり、本実施の形態のレベルコンバータ回路20cでは、入力信号in0が低電位側電源Vssレベルになると、その出力信号outが低電位側電源Vssレベルになり、入力信号in0が中間電圧Vbレベルになると、その出力信号outが高電位側電源Vddレベルになる。

【0157】しかも、この出力回路10aでは、前記第2の実施の形態と同様に、各トランジスタTPI、TNIのゲートと、ソース・ドレインとの間に、その耐圧(2.5ボルト)を超える電圧を印加することなく、電源Vdd、Vssレベル(0～5ボルト)の範囲でフル振幅動作する出力信号outを出力することができる。

【0158】上記したように、本実施の形態では、以下に示す作用効果を得ることができる。

(1) 本実施の形態の出力回路10aでは、第2の実施の形態と同様に、各トランジスタTPI、TNIのゲートと、ソース・ドレインとの間に、その耐圧(2.5ボルト)を超える電圧を印加することなく、電源Vdd、Vssレベル(0～5ボルト)の範囲でフル振幅動作する出力信号outが出力される。つまり、この出力回路10aでは、各トランジスタTPI、TNIの耐圧を上げることなく、各トランジスタTPI、TNIの耐圧を超えることなく、振幅の出力信号outを出力することができる。

【0159】(2) しかも、中間電圧Vbレベルと低電位側電源Vssレベルとの間で変化する入力信号in0の出力信号outが出力される。従って、前記第2の実施の形態と比較して、入力する信号数を減らすことができるため、その信号線を少なくすることができ

【0160】(3) 又、本実施の形態のレベルコンバータ回路20cでは、入力信号in0が低電位側電源Vssレベルになると、NOR回路38と遅延回路40によって、その入力信号in0が中間電圧Vbレベルから所定時間経過後に低電位側電源Vssレベルになるワンショットパルス信号に変換される。そのため、NMOSトランジスタTN21、TN23のオン時間が短くなるので、該トランジスタTN21、TN23を流れる貫通電流を小さく抑えることができる。又、入力信号in0が中間電圧Vbレベルになると、NAND回路37と遅延回路40によって、その入力信号in0が中間電圧Vbレベルから所定時間経過後に低電位側電源Vssレベルになるワンショットパルス信号に変換される。そのため、NMOSトランジスタTN18、TN22を流れる貫通電流を小さく抑えることができる。従って、各トランジスタTN18、TN21～TN23を流れる貫通電流を小さく抑えることができ

【0161】(第7の実施の形態)以下、本発明を具体

50 抵抗R3は定電流源を構成している。

して遅延回路を構成してもよい。

【0197】

【発明の効果】以上詳述したように、本発明によれば、CMOSインバータ回路からなる出力回路において、MOSトランジスタの耐圧を超える振幅の出力信号を出力し得る出力回路、及び、その出力回路を備えたレベルコンバータ回路、論理回路、オプアンプ回路を提供することができる。

【図面の簡単な説明】

【図1】 本発明の原理説明図である。

【図2】 第1の実施の形態における出力回路を示す回路図である。

【図3】 第1の実施の形態における出力回路の動作を示す波形状である。

【図4】 第2の実施の形態における出力回路を示す回路図である。

【図5】 第3の実施の形態におけるレベルコンバータ回路を示す回路図である。

【図6】 第4の実施の形態におけるレベルコンバータ回路を示す回路図である。

【図7】 第5の実施の形態におけるレベルコンバータ回路を示す回路図である。

【図8】 第6の実施の形態におけるレベルコンバータ回路を示す回路図である。

【図9】 第7の実施の形態におけるNAND回路を示す回路図である。

【図10】 第8の実施の形態におけるオプアンプ回路を示す回路図である。

【符号の説明】

1 CMOSインバータ回路
2 電位制御回路
TP PMOSTランジスタ
TN NMOSTランジスタ
V1 外部電源としての高電位側電源
V2 外部電源としての低電位側電源
V3 基準電圧
in 入力信号
out 出力信号

【0192】上記したように、本実施の形態では、以下に示す作用効果を得ることができ。

(1) 本実施の形態の出力回路10aでは、第2の実施の形態と同様に、各トランジスタTP1、TN1のゲートと、ソース・ドレインとの間において、その耐圧(2.5ボルト)を超える電圧を印加することなく、電源Vdd、Vssレベル(0～5ボルト)の範囲でフル振幅動作する出力信号outが出力される。つまり、この出力回路10aでは、各トランジスタTP1、TN1の耐圧を超えることなく、各トランジスタTP1、TN1の耐圧を超える振幅の出力信号outを出力することができる。

【0193】尚、本発明の実施の形態は以下のように変更してもよい。O上記各実施の形態では、CMOSインバータ回路11の入力端子、即ち同トランジスタTP1、TN1のゲートに対して、電源Vdd、Vssの中間レベルで一定の中間電圧Vbを供給するようにしたが、その中間電圧Vbの電圧値が、高電位側電源VddレベルからPMOSTランジスタTP1のしきい値だけ低い電圧と、低電位側電源VssレベルからNMOSTランジスタTN1のしきい値だけ高い電圧との間であれば一定又は変動していてもよい。

【0194】O上記第3～第6及び第8の実施の形態では、図4に示す第2の実施の形態の出力回路10aをば用したが、図2に示す第1の実施の形態の出力回路10aを使用してもよい。

【0195】O上記各実施の形態では、両トランジスタTP1、TN1のソース間、即ちノードN1、N2間に大きな電位差が生じないようにするために、図3に示すように出力信号outの立ち上がり時において、ノードN2に出力信号outを上昇させるタイミングをノードN1の電位を上昇させるタイミングより早くし、出力信号outの立ち下がり時において、ノードN2の電位を下降させるタイミングをノードN1の電位を下降させるタイミングより遅くしたが、ノードN1、N2の電位を同時に変化するようにしてもよい。

【0196】O上記第6の実施の形態では、遅延回路40をインバータ回路32と、抵抗及び容量よりなる積分回路39とから構成したが、この構成に限定されるものではない。例えば、インバータ回路を複数個直列に接続

ンジスタTP26のドレイン電流が増加する。

【0186】又、言い換えれば、非反転入力端子に入力される入力信号in21のレベルが、反転入力端子に入力される入力信号in22のレベルより相対的に低くなるため、NMOSTランジスタTN25の電流駆動能力が増える。すると、NMOSTランジスタTN25のドレイン電流が減少する。

【0187】そして、このように動作することで、ノードN11の電位、即ち前記第1の入力信号in1が高電位側電源Vddレベル近傍まで上昇し、ノードN12の電位、即ち前記第2の入力信号in2が中間電圧Vbレベル近傍まで上昇する。こうして、第1の入力信号in1が高電位側電源Vddレベル近傍まで上昇し、第2の入力信号in2が中間電圧Vbレベル近傍まで上昇すると、前記出力回路10aは第2の実施の形態と同様に動作し、その出力信号outは高電位側電源Vssレベル近傍まで下降する。

【0188】一方、反転入力端子に入力される入力信号in22のレベルが、非反転入力端子に入力される入力信号in21のレベルより相対的に低くなる。すると、NMOSTランジスタTN24の電流駆動能力がNMOSTランジスタTN25の電流駆動能力より低くなる。すると、NMOSTランジスタTN24の電流駆動能力が抑えられ、このNMOSTランジスタTN28の電流駆動能力が抑えられる。つまり、PMOSTランジスタTP25のドレイン電流、即ちPMOSTランジスタTP26のドレイン電流が減少する。

【0189】又、言い換えれば、非反転入力端子に入力される入力信号in21のレベルが、反転入力端子に入力される入力信号in22のレベルより相対的に高くなるため、NMOSTランジスタTN25の電流駆動能力が高められる。すると、NMOSTランジスタTN25のドレイン電流が増加する。

【0190】そして、このように動作することで、ノードN11の電位、即ち前記第1の入力信号in1が中間電圧Vbレベル近傍まで下降し、ノードN12の電位、即ち前記第2の入力信号in2が高電位側電源Vssレベル近傍まで下降する。こうして、第1の入力信号in1が中間電圧Vbレベル近傍まで下降し、第2の入力信号in2が低電位側電源Vssレベル近傍まで下降すると、前記出力回路10aは第2の実施の形態と同様に動作し、その出力信号outは高電位側電源Vddレベル近傍まで上昇する。

【0191】しかも、この出力回路10aでは、前記第2の実施の形態と同様に、各トランジスタTP1、TN1のゲートと、ソース・ドレインとの間において、その耐圧(2.5ボルト)を超える電圧を印加することなく、電源Vdd、Vssレベル(0～5ボルト)の範囲でフル振幅動作する出力信号outを出力することができる。

【0180】前記NMOSTランジスタTN24のドレインには、NMOSTランジスタTN28及びPMOSTランジスタTP25を介して高電位側電源Vddが供給される。NMOSTランジスタTN28のゲートには中間電圧Vbが供給される。

【0181】PMOSTランジスタTP25、TP26はカレントミラー回路63を構成すべく、互いのゲートが接続されるとともに、そのゲートがPMOSTランジスタTP25のドレインに接続される。PMOSTランジスタTP26のソースには高電位側電源Vddが供給され、そのドレインには抵抗R4を介して中間電圧Vbが供給される。

【0182】又、前記NMOSTランジスタTN25のドレインには抵抗R5を介して中間電圧Vbが供給される。このNMOSTランジスタTN25のゲートはオプアンプ回路60の非反転入力端子であって、該ゲートには中間電圧Vbレベルと低電位側電源Vssレベルとの間で変化する入力信号in21が入力される。又、前記NMOSTランジスタTN24のゲートはオプアンプ回路60の反転入力端子であって、該ゲートには中間電圧Vbレベルと低電位側電源Vssレベルとの間で変化する入力信号in22が入力される。

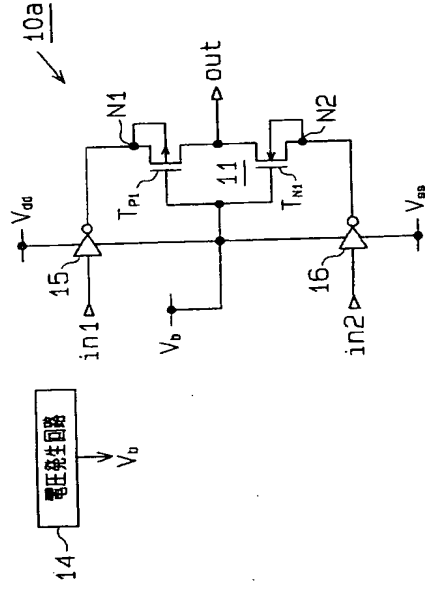
【0183】そして、前記PMOSTランジスタTP26と抵抗R4との間のノードN11は、前記出力回路10aを構成する第1のインバータ回路15の入力端子に接続される。つまり、ノードN11の電位が前記第1の入力信号in1として第1のインバータ回路15に入力される。又、前記NMOSTランジスタTN25と抵抗R5との間のノードN12は、前記出力回路10aを構成する第2のインバータ回路16の入力端子に接続される。つまり、ノードN12の電位が前記第2の入力信号in2として第2のインバータ回路16に入力される。

【0184】尚、前記抵抗R4、R5は、ノードN11、N12間の電位差を中間電圧Vbレベル(2.5ボルト)に維持するものである。つまり、ノードN11の電位が高電位側電源Vddレベル近傍まで上昇すると、ノードN12の電位が中間電圧Vbレベル近傍まで上昇する。一方、ノードN11の電位が低電位側電源Vssレベル近傍まで下降すると、ノードN12の電位が中間電圧Vbレベル近傍まで下降する。

【0185】このように構成されたオプアンプ回路60では、反転入力端子に入力される入力信号in22のレベルが、非反転入力端子に入力される入力信号in21のレベルより相対的に高くなる。NMOSTランジスタTN24の電流駆動能力がNMOSTランジスタTN25の電流駆動能力より高くなる。すると、NMOSTランジスタTN28のソース電位が下降し、該トランジスタTN28の電流駆動能力が高められる。このNMOSTランジスタTN28の電流駆動能力が高められると、PMOSTランジスタTP25のドレイン電流、即ちPMOSTラン

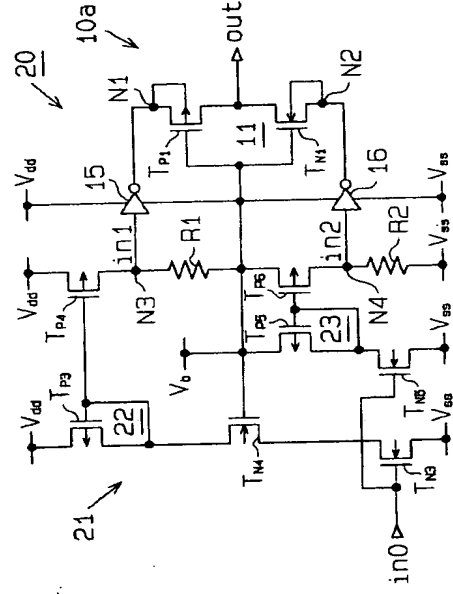
【図 4】

第2の実施の形態における出力回路を示す回路図



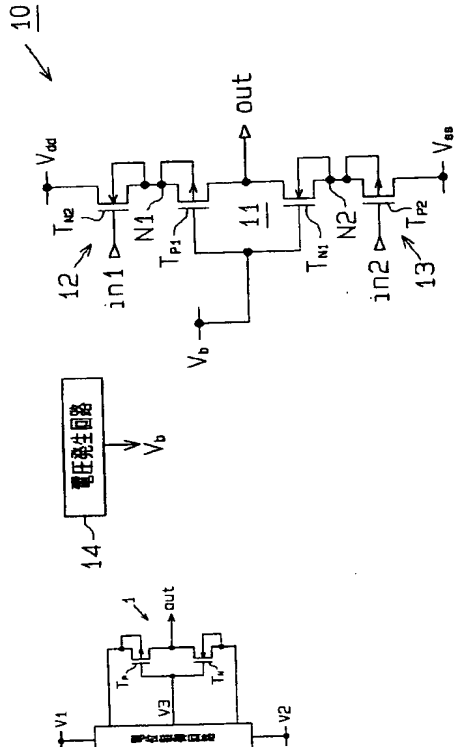
【図 5】

第3の実施の形態におけるレベリコンパータ回路を示す回路図



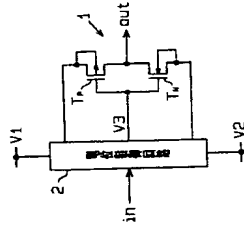
【図 2】

第1の実施の形態における出力回路を示す回路図



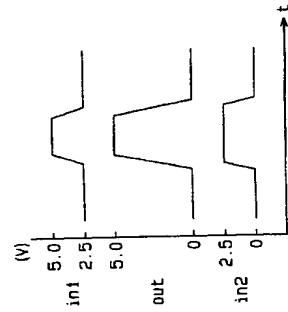
【図 1】

本発明の原理図



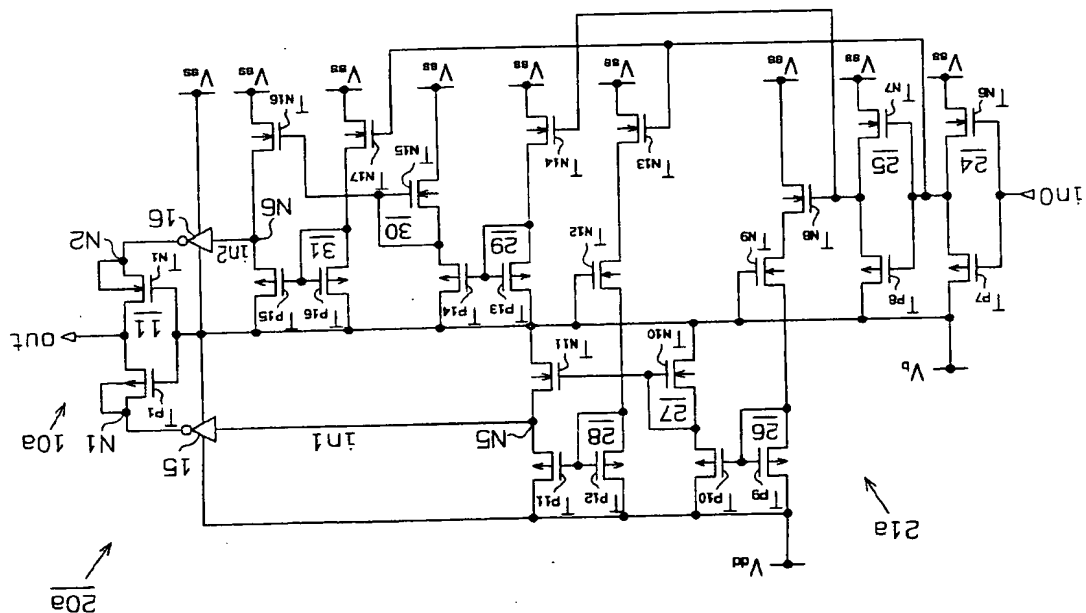
【図 3】

第1の実施の形態における出力回路の動作を示す波形図



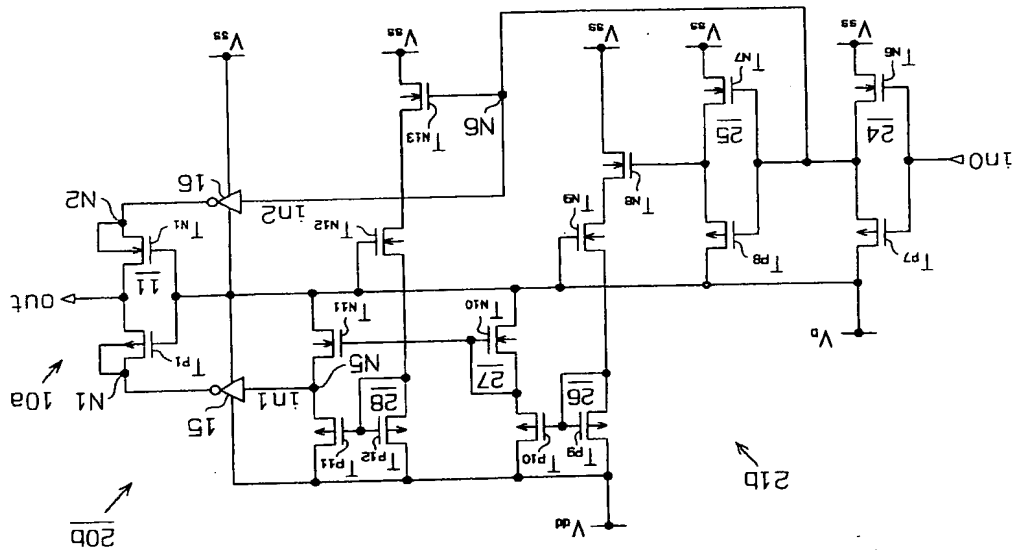
【図6】

第4の実施の形態におけるレベルコンバータ回路を示す回路図



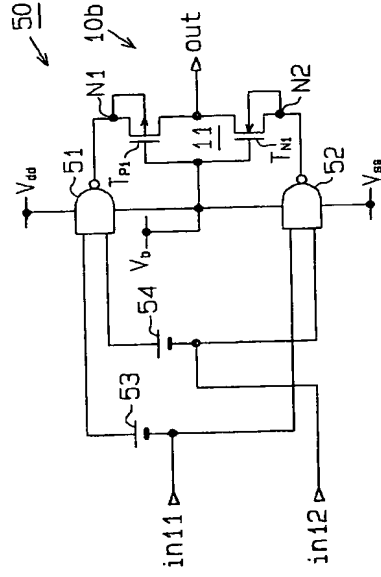
【図7】

第5の実施の形態におけるレベルコンバータ回路を示す回路図



【図9】

第7の実施の形態におけるNAND回路を示す回路図



【図10】

第8の実施の形態におけるオプアンプ回路を示す回路図

